

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Shigeo SATOH, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **August 27, 2003**

For: **SEMICONDUCTOR DEVICE AND METHOD OF FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: August 27, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-254672, filed August 30, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



William L. Brooks
Attorney for Applicants
Reg. No. 34,129

WLB/jaz
Atty. Docket No. **031030**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-254672

[ST.10/C]:

[JP2002-254672]

出 願 人

Applicant(s):

富士通株式会社

2003年 2月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3005482

【書類名】 特許願

【整理番号】 0240605

【提出日】 平成14年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 佐藤 成生

【発明者】

 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

 【氏名】 加勢 正隆

【特許出願人】

 【識別番号】 000005223

 【氏名又は名称】 富士通株式会社

【代理人】

 【識別番号】 100090273

 【弁理士】

 【氏名又は名称】 國分 孝悦

 【電話番号】 03-3590-8901

【手数料の表示】

 【予納台帳番号】 035493

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1
【包括委任状番号】 9908504
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板の上方にゲート電極をパターン形成する第 1 の工程と、

前記ゲート電極の両側面のみを覆うサイドウォールを形成する第 2 の工程と、

前記サイドウォールの上部位を除去し、前記ゲート電極の両側面の一部を露出させる第 3 の工程と、

前記ゲート電極に前記半導体基板の表面に対して斜めに不純物を導入する第 4 の工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 4 の工程における前記斜めからの不純物導入を方向を変えて複数回行うことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 4 の工程において前記サイドウォールの上部位を除去する際に、前記サイドウォールと前記半導体基板に形成された素子分離構造とのエッチングレートとを相異ならしめるように、前記サイドウォールと前記素子分離構造とを相異なる材質で形成することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 4 の工程の後、前記サイドウォールを再び前記ゲート電極の両側面を覆う大きさに形成することを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 5】 前記第 4 の工程において、前記ゲート電極の両側におけるソース／ドレイン形成部位を前記斜めからの不純物導入から保護する寸法の開口を有するマスクを形成し、前記斜めからの不純物導入を行うことを特徴とする請求項 1 ～ 4 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 6】 前記第 1 の工程の後、前記第 2 の工程の前に、前記ゲート電極の両側におけるソース／ドレイン形成部位に不純物を浅く導入する第 5 の工程と、

前記第 2 の工程の後、前記ソース／ドレイン形成部位に不純物を深く導入する

第 6 の工程と

を更に含むことを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 7】 半導体基板の上方にゲート電極をパターン形成する第 1 の工程と、

前記ゲート電極を露出させる開口を有するマスクを形成する第 2 の工程と、

前記ゲート電極に前記半導体基板の表面に対して斜めに不純物を導入する第 3 の工程と

を含み、

前記第 2 の工程において、前記マスクの前記開口を、前記ゲート電極の両側におけるソース／ドレイン形成部位を前記斜めからの不純物導入から保護する寸法に形成することを特徴とする半導体装置の製造方法。

【請求項 8】 ゲート電極及びソース／ドレインを有する半導体装置であって、

前記ゲート電極の両側面の下部位のみを覆うサイドウォールを含み、

前記ゲート電極の露出表面にシリサイド膜が形成されており、

前記ゲート電極は前記ソース／ドレインと同一導電型の不純物を含有し、前記ゲート電極の不純物濃度が、前記ソース／ドレインの不純物濃度よりも高いことを特徴とする半導体装置。

【請求項 9】 前記シリサイド膜は、前記ゲート電極の上面から両側面の上部位にかけて形成されていることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 前記サイドウォールは、酸化膜のみからなることを特徴とする請求項 8 又は 9 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ゲート、ソース／ドレインを有する半導体装置及びその製造方法に関し、特に CMOS トランジスタに適用して好適である。

【0002】

【従来の技術】

通常、CMOSトランジスタにおいて、nチャネルのMOSトランジスタ(nMOSトランジスタ)には、多結晶シリコンにn型不純物がドーピングされてなるゲート電極が用いられている。これは、しきい値電圧を所望の値に制御し易いためである。しかしながら、このゲート電極に正の電圧を印加してnMOSトランジスタをオン状態にすると、ゲート電極のゲート絶縁膜との界面近傍で、多結晶シリコンのバンドが曲がり空乏層が形成される。このように空乏層が形成させると、ゲート容量が低減してオン電流が減少する。ゲート容量の減少を抑えるには、ゲート絶縁膜との界面近傍におけるゲート電極中のn型不純物濃度を高める必要がある。

【0003】

このことは、pチャネルのMOSトランジスタ(pMOSトランジスタ)においても同様であり、多結晶シリコンにp型不純物がドーピングされてなるゲート電極が用いられており、オン状態でゲート容量の低下を抑えるには、ゲート絶縁膜との界面近傍におけるゲート電極中のp型不純物濃度を高める必要がある。

【0004】

【発明が解決しようとする課題】

上述のようなnMOS、pMOSトランジスタを作製するには、ソース/ドレインを形成する際に、マスクとなるゲート電極にも同時に不純物をイオン注入する手法が採られている。

【0005】

ゲート容量の減少を抑えるには、ゲート空乏化を抑制することを要し、このためには、ソース/ドレインとゲート電極に同時に導入する不純物のドーズ量を増加させる必要がある。しかしながら、これによりゲート電極中の不純物濃度は高くなるが、ソース/ドレインの不純物濃度も高くなり、ソース/ドレイン域の不純物が横方向に拡がり、短チャネル効果の劣化を招くという問題がある。

【0006】

この問題に対処する一手法として、ゲート電極の高さを低く形成することにより、ゲート電極中に導入される不純物の量は同じであっても、不純物濃度を高め

ることは可能である。ところがこの場合、ゲート電極が低くなり過ぎると、当該ゲート電極に注入された不純物がチャネルに突き抜け、しきい値電圧が変動するという問題が発生する。このため、ゲート電極の高さを低くする手法には限界がある。

【 0 0 0 7 】

そこで本発明は、ソース／ドレインの不純物濃度を増加させることなくゲート電極中の不純物濃度を高め、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、信頼性の高い半導体装置及びその製造方法を提供することを目的とする。

【 0 0 0 8 】

【課題を解決するための手段】

本発明者は、鋭意研究・検討を行った結果、以下に示す発明の諸態様に想到した。

【 0 0 0 9 】

本発明の半導体装置の製造方法は、半導体基板の上方にゲート電極をパターン形成する第1の工程と、前記ゲート電極の両側面のみを覆うサイドウォールを形成する第2の工程と、前記サイドウォールの上部位を除去し、前記ゲート電極の両側面の一部を露出させる第3の工程と、前記ゲート電極に前記半導体基板の表面に対して斜めに不純物を導入する第4の工程とを含む。

【 0 0 1 0 】

本発明の半導体装置の製造方法は、半導体基板の上方にゲート電極をパターン形成する第1の工程と、前記ゲート電極を露出させる開口を有するマスクを形成する第2の工程と、前記ゲート電極に前記半導体基板の表面に対して斜めに不純物を導入する第3の工程とを含み、前記第2の工程において、前記マスクの前記開口を、前記ゲート電極の両側におけるソース／ドレイン形成部位を前記斜めからの不純物導入から保護する寸法に形成する。

【 0 0 1 1 】

本発明の半導体装置は、ゲート電極及びソース／ドレインを有する半導体装置であって、前記ゲート電極の両側面の下部位のみを覆うサイドウォールを含み、

前記ゲート電極の露出表面にシリサイド膜が形成されており、前記ゲート電極は前記ソース／ドレインと同一導電型の不純物を含有し、前記ゲート電極の不純物濃度が、前記ソース／ドレイン不純物濃度よりも高い。

【 0 0 1 2 】

【発明の実施の形態】

ー本発明の基本骨子ー

先ず、本発明の主要構成をなす基本骨子について説明する。

本発明者は、前記課題を解決するために、ゲート電極の不純物濃度がソース／ドレインの不純物濃度よりも高い構成の半導体装置に想到し、これを実現する具体的手法として、以下で説明する製造方法を案出した。

【 0 0 1 3 】

(第 1 の手法)

第 1 の手法の主要原理を図 1 に示す。

先ず、ゲート電極 1 0 2 の両側面にサイドウォール 1 0 3 を形成する。このとき、半導体基板 1 0 1 のゲート電極 1 0 2 及びサイドウォール 1 0 3 の両側がそれぞれソース／ドレイン形成領域 (S / D 領域) 1 0 4 となる。

【 0 0 1 4 】

続いて、サイドウォール 1 0 3 をオーバーエッチングして、ゲート電極 1 0 2 の両側面の上部位を露出させる。このとき、ゲート電極 1 0 2 は、その上面から両側面の上部位にかけて表面が露出した状態とされる。

【 0 0 1 5 】

そして、ソース／ドレインと同一導電型の不純物を半導体基板 1 0 1 の表面に対して斜めに注入し、ゲート電極 1 0 2 の露出面に不純物を導入する。

このとき、ゲート電極 1 0 2 には上面及び一側面の上部位の双方に、不純物導入がなされる (図中、 1 0 2 a で示す) 。多結晶シリコン中では不純物の拡散が速いので、その後のアニール処理により不純物は素早く拡散し、多結晶シリコン中の不純物分布は均一になる。即ちこのとき、ほぼ 2 回分のイオン注入に相当し、垂直方向のイオン注入の場合に比べて、斜め方向のイオン注入を追加することにより、ゲート絶縁膜界面の不純物濃度が高くなる。

【 0 0 1 6 】

これに対して、S/D領域104にはその一方に1回分の不純物導入がなされ（図中、104aで示す）、他方には導入されないか、或いは若干導入される（この場合を、図中、104bで示す）ものの、殆ど影響はない。

【 0 0 1 7 】

従って、この斜めイオン注入を方向を変えて複数回（例えば、ゲート電極102のゲート幅方向（以下、ゲート長に対して垂直方向と呼ぶ。）に対向する2方向に1回ずつ、ゲート長方向（以下、ゲート長に対して水平方向と呼ぶ。）に対向する2方向に1回ずつ）行うことにより、ゲート電極102の不純物濃度をS/D領域104の不純物濃度より所望に高く制御できる。

【 0 0 1 8 】

（第2の手法）

第2の手法の主要原理を図2に示す。

ここでは、ゲート電極102を露出させ、S/D領域104を前記斜めイオン注入から保護（防御）する寸法の開口105aを有するレジストマスク105を形成し、この状態で前記斜めイオン注入を行う。この場合も、方向を変えて複数回の前記斜めイオン注入を実行する。

【 0 0 1 9 】

このとき、ゲート電極102には上面及び一側面の上位部の双方に、不純物導入がなされる（図中、102aで示す）。多結晶シリコン中では不純物の拡散が速いので、その後のアニール処理により不純物は素早く拡散し、多結晶シリコン中の不純物分布は均一になる。即ちこのとき、ほぼ2回分のイオン注入に相当し、垂直方向のイオン注入の場合に比べて、斜め方向のイオン注入を追加することにより、ゲート絶縁膜界面の不純物濃度が高くなる。

【 0 0 2 0 】

これに対して、一対のS/D領域104はレジストマスク105により保護されているため、不純物導入が防止される。

【 0 0 2 1 】

このように、ゲート電極102中の不純物濃度を高めても、S/D領域104

には影響せず不純物濃度は増加しないため、確実に短チャネル効果の悪化が抑止される。

【 0 0 2 2 】

なおこの場合、図 3 に示すように、第 1 の手法のように、サイドウォール 1 0 3 をオーバーエッチングしてゲート電極 1 0 2 の両側面の上部位を露出させた後、第 2 の手法のように、S/D 領域 1 0 4 を前記斜めイオン注入から保護（防御）する寸法の開口 1 0 5 a を有するレジストマスク 1 0 5 を形成し、この状態で前記斜めイオン注入を行うようにしても良い。これにより、更に確実にゲート電極 1 0 2 のみに不純物を導入することができる。

【 0 0 2 3 】

－具体的な諸実施形態－

上述した本発明の基本骨子を踏まえ、本発明を CMOS トランジスタに適用した具体的な諸実施形態について図面を参照しながら詳細に説明する。

【 0 0 2 4 】

（第 1 の実施形態）

図 4 ～図 8 は、第 1 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

先ず、図 4（a）に示すように、p 型のシリコン半導体基板 1 の素子分離領域に溝を形成し、当該溝内にシリコン酸化物等の絶縁物を埋め込み、CMP 法等により表面を平坦化して、STI (Shallow Trench Isolation) 素子分離構造 2 を形成する。これにより、半導体基板 1 上で素子活性領域、ここでは n 型 MOS 領域 1 1 及び p 型 MOS 領域 1 2 が画定される。

【 0 0 2 5 】

続いて、図 4（b）に示すように、p 型 MOS 領域 1 2 を覆うレジストマスク 1 3 を形成し、n 型 MOS 領域 1 1 に p 型不純物をイオン注入し、n ウェル 3 及び基板表層にチャネルストッパー層（不図示）を形成する。

【 0 0 2 6 】

続いて、レジストマスク 1 3 を灰化处理等により除去した後、図 4（c）に示すように、n 型 MOS 領域 1 1 を覆うレジストマスク 1 4 を形成し、p 型 MOS

領域 1 2 に n 型不純物をイオン注入し、p ウェル 4 及び基板表層にチャネルストッパー層（不図示）を形成する。

【 0 0 2 7 】

続いて、レジストマスク 1 4 を灰化处理等により除去した後、図 4 (d) に示すように、ウェル 3, 4 及びチャネルストッパー層の不純物導入により生じた欠陥を回復させるため、半導体基板 1 をアニール処理 (R T A (Rapid Thermal Anneal)、1 0 0 0℃、3 秒) する。

【 0 0 2 8 】

続いて、図 5 (a) に示すように、熱酸化法により半導体基板 1 の表面に薄いゲート絶縁膜 5 を形成した後、図 5 (b) に示すように、C V D 法によりノンドープの多結晶シリコン膜 1 5 を堆積する。

【 0 0 2 9 】

続いて、図 5 (c) に示すように、多結晶シリコン膜 1 5 及びゲート絶縁膜 5 をフォトリソグラフィー及びこれに続くドライエッチングによりパターニングし、n 型、p 型 M O S 領域 1 1, 1 2 のゲート絶縁膜 5 上にそれぞれ高さが 1 0 0 n m 程度、ゲート長が 5 0 n m 程度のゲート電極 6 a, 6 b をそれぞれ形成する。ここで、多結晶シリコン膜 1 5 に事前に不純物を導入しないのは、n 型不純物を導入した多結晶シリコンと p 型不純物を導入した多結晶シリコンとではエッチングレートが異なり、n, p M O S トランジスタの各ゲート電極を同時に形成することが難しいためである。

【 0 0 3 0 】

続いて、図 5 (d) に示すように、p 型 M O S 領域 1 2 を覆うレジストマスク 1 6 を形成し、n 型 M O S 領域 1 1 に n 型不純物、ここでは砒素 (A s) を加速エネルギーが 5 k e V、ドーズ量が $6 \times 10^{14} / \text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、p 型不純物、ここではホウ素 (B) を加速エネルギーが 1 0 k e V、ドーズ量が $8 \times 10^{12} / \text{cm}^2$ の条件で入射角 3 0° で 4 方向からイオン注入し、n 型エクステンション層 7 a 及び p 型ポケット層 8 a を形成する。

【 0 0 3 1 】

続いて、レジストマスク 16 を灰化処理等により除去した後、図 6 (a) に示すように、n 型 MOS 領域 11 を覆うレジストマスク 17 を形成し、p 型 MOS 領域 12 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 0.5 keV、ドーズ量が $6 \times 10^{14} / \text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、n 型不純物、ここでは砒素 (As) を加速エネルギーが 50 keV、ドーズ量が $6 \times 10^{12} / \text{cm}^2$ の条件で入射角 30° で 4 方向からイオン注入し、p 型エクステンション層 7b 及び n 型ポケット層 8b を形成する。

【0032】

続いて、図 6 (b) に示すように、レジストマスク 17 を灰化処理等により除去した後、エクステンション層 7a、7b 及びポケット層 8a、8b の不純物導入により生じた欠陥を回復させるため、半導体基板 1 をアニール処理 (RTA、 1000°C 、1 秒) する。

【0033】

続いて、図 7 (a) に示すように、CVD 法により全面にシリコン酸化膜 (不図示) を堆積し、これを全面異方性エッチングすることにより、ゲート電極 6a、6b の両側面のみにシリコン酸化膜を残し、最大幅が 80 nm 程度のサイドウォール 9a、9b をそれぞれ形成する。

【0034】

続いて、図 7 (b) に示すように、p 型 MOS 領域 12 を覆うレジストマスク 18 を形成し、n 型 MOS 領域 11 に n 型不純物、ここではリン (P) を加速エネルギーが 8 keV、ドーズ量が $4.5 \times 10^{15} / \text{cm}^2$ 、注入角度 (基板表面に対して垂直方向の場合を 0° となる。) が 0° の条件でイオン注入し、n 型ソース/ドレイン 10a を形成する。このとき同時に、ゲート電極 6a にもリンがイオン注入される。ここで、リンのドーズ量は、通常の n 型ソース/ドレイン形成時におけるドーズ量よりも小値 (例えば、 $6 \times 10^{15} / \text{cm}^2$) に制御されている。

【0035】

続いて、レジストマスク 18 を灰化処理等により除去した後、図 7 (c) に示すように、n 型 MOS 領域 11 を覆うレジストマスク 19 を形成し、p 型 MOS

領域 1 2 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 4 k e V、ドーズ量が $2.25 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、p 型ソース／ドレイン 1 0 b を形成する。このとき同時に、ゲート電極 6 b にもホウ素がイオン注入される。ここで、ホウ素のドーズ量は、通常の p 型ソース／ドレイン形成時におけるドーズ量よりも小値 (例えば、 $3 \times 10^{15} / \text{cm}^2$) に制御されている。

【 0 0 3 6 】

続いて、レジストマスク 1 9 を灰化处理等により除去した後、図 7 (d) に示すように、サイドウォール 9 a, 9 b をドライエッチング (オーバーエッチング) し、ゲート電極 6 a, 6 b の両側面の上部位を 5 0 n m 程度それぞれ露出させる。このとき、ゲート電極 6 a, 6 b は、その上面から両側面の上部位にかけて表面が露出した状態とされ、サイドウォール 9 a, 9 b は 5 0 n m 程度の高さに調節される。

【 0 0 3 7 】

この場合、ゲート電極 6 a, 6 b に後述する斜めからのイオン注入を行うときに、サイドウォール 9 a, 9 b のエッチング量が多いほど、ゲート電極 6 a, 6 b に導入される不純物の量は増える。しかし、サイドウォール 9 a, 9 b のエッチング量が多すぎると、ソース／ドレイン 1 0 a, 1 0 b に同時に導入される不純物がチャネル方向に拡がり過ぎたり、後の工程でソース／ドレイン 1 0 a, 1 0 b に形成されるシリサイドとゲート電極 6 a, 6 b に形成されるシリサイドとが短絡し易くなる。このため、サイドウォール 9 a, 9 b のエッチング量には最適範囲があり、その 1 つのエッチング量が 5 0 n m である。

【 0 0 3 8 】

また、サイドウォール 9 a, 9 b とともに S T I 素子分離構造 2 がエッチングされることを抑止するため、サイドウォール 9 a, 9 b のエッチングレートが S T I 素子分離構造 2 のエッチングレートよりも大きくなるように、サイドウォール 9 a, 9 b と S T I 素子分離構造 2 を異なる材質で形成することが好ましい。例えば、S T I 素子分離構造 2 には H D P (High Density Plasma) により形成されたプラズマ酸化膜を、サイドウォールには T E O S からなる酸化膜をそれぞれ

用いる。

【0039】

続いて、図8（a）に示すように、n型不純物をn型MOS領域11に対して斜めに注入し、ゲート電極6aの露出面（上面（幅50nm）及びサイドウォール9aから露出する両側面（高さ50nm））に不純物を導入する。

【0040】

具体的には、p型MOS領域12を覆うレジストマスク21を形成し、n型MOS領域11にn型不純物、ここではリン（P）を加速エネルギーが4keV、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から4回（ゲート長に対して水平方向（互いに対向する2方向）が2回、垂直方向（互いに対向する2方向）が2回）イオン注入を実行する。この4回のイオン注入を行う様子を図9の概略平面図に示す。

【0041】

図8（a）では、ゲート長に対して水平方向であり注入角度が 45° のイオン注入を例示している。この場合、ゲート電極6aにおいてその上面と一側面の上部とでほぼ同等の露出面積であるため、上記の条件による1回のイオン注入により、ゲート電極6aにはその上面から一側面の上部にかけて、注入角度が 0° の場合の2回分に相当する不純物導入が、一方のn型ソース／ドレイン10aには注入角度が 0° の場合の1回分に相当する不純物導入がなされる。このとき、他方のn型ソース／ドレイン10aはゲート電極6aの影になる位置に存するため、不純物導入されないか、或いは殆ど影響を与えない程度の不純物導入がなされることになる。

【0042】

また、便宜上図示は省略するが、ゲート長に対して垂直方向であり注入角度が 45° の1回のイオン注入により、ゲート電極6aには注入角度が 0° の場合の1回分に相当する不純物導入が、各n型ソース／ドレイン10aにもそれぞれ注入角度が 0° の場合の1回分に相当する不純物導入がなされる。

【0043】

前記4回のイオン注入により、下記の表1に示すように、ゲート電極6aには、当初の $4.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合($5 \times 10^{14} / \text{cm}^2$)の6回分に相当する不純物導入がなされ、合計で $7.5 \times 10^{15} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各n型ソース／ドレイン10aには、当初の $4.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合の3回分に相当する不純物導入がなされ、合計で $6 \times 10^{15} / \text{cm}^2$ （通常のソース／ドレイン形成時と同様）のドーズ量のリンがイオン注入される。

【0044】

なお、上述したn型ソース／ドレイン10a形成時の始めのイオン注入（注入角度が 0° のイオン注入）において、斜めイオン注入における加速エネルギーを8keVとしたのに対して、斜め注入のエネルギーを4keVと低く設定した理由は、ゲート電極6aに注入される不純物が横方向に突き抜けること、サイドウォール10a及びゲート電極6aを不純物が突き抜けて半導体基板1内に侵入すること、及びn型ソース／ドレイン10aに注入される不純物がチャネル方向に拡がることの各々を防止するためである。

【0045】

続いて、図8(b)に示すように、p型不純物をp型MOS領域12に対して斜めに注入し、ゲート電極6bの露出面（上面（幅50nm）及びサイドウォール9bから露出する両側面（高さ50nm））に不純物を導入する。

【0046】

具体的には、レジストマスク21を灰化处理等により除去した後、n型MOS領域11を覆うレジストマスク22を形成し、p型MOS領域12にp型不純物、ここではホウ素(B)を加速エネルギーが2keV、ドーズ量が $2.5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から4回（ゲート長に対して水平方向（互いに対向する2方向）が2回、垂直方向（互いに対向する2方向）が2回）イオン注入を実行する。

【0047】

図8(b)では、ゲート長に対して水平方向であり注入角度が 45° のイオン

注入を例示している。この場合、ゲート電極 6 b においてその上面と一側面の上部位とでほぼ同等の露出面積であるため、上記の条件による 1 回のイオン注入により、ゲート電極 6 b にはその上面から一側面の上部位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入が、一方の p 型ソース／ドレイン 1 0 b には注入角度が 0° の場合の 1 回分に相当する不純物導入がなされる。このとき、他方の p 型ソース／ドレイン 1 0 b はゲート電極 6 b の影になる位置に存するため、不純物導入されないか、或いは殆ど影響を与えない程度の不純物導入がなされることになる。

【 0 0 4 8 】

また、便宜上図示は省略するが、ゲート長に対して垂直方向であり注入角度が 45° の 1 回のイオン注入により、ゲート電極 6 b には注入角度が 0° の場合の 1 回分に相当する不純物導入が、各 p 型ソース／ドレイン 1 0 b にはそれぞれ注入角度が 0° の場合の 1 回分に相当する不純物導入がなされる。

【 0 0 4 9 】

前記 4 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 b には、当初の $2.25 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($2.5 \times 10^{14} / \text{cm}^2$) の 6 回分に相当する不純物導入がなされ、合計で $3.75 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各 p 型ソース／ドレイン 1 0 b には、当初の $2.25 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合の 3 回分に相当する不純物導入がなされ、合計で $3 \times 10^{15} / \text{cm}^2$ (通常のソース／ドレイン形成時と同様) のドーズ量のホウ素がイオン注入される。

【 0 0 5 0 】

なお、上述した p 型ソース／ドレイン 1 0 b 形成時の始めのイオン注入 (注入角度が 0° のイオン注入) において、斜めイオン注入における加速エネルギーを 4 keV としたのに対して、斜め注入のエネルギーを 2 keV と低く設定した理由は、ゲート電極 6 b に注入される不純物が横方向に突き抜けること、サイドウォール 1 0 b 及びゲート電極 6 b を不純物が突き抜けて半導体基板 1 内に侵入すること、及び p 型ソース／ドレイン 1 0 b に注入される不純物がチャネル方向に

拡がることの各々を防止するためである。

【 0 0 5 1 】

続いて、レジストマスク 2 2 を灰化处理等により除去した後、図 7 (d) に示すように、ゲート電極 6 a , 6 b 及びソース／ドレイン 1 0 a , 1 0 b の不純物導入により生じた欠陥を回復させ、更に不純物を活性化させるため、半導体基板 1 をアニール処理 (R T A 、 1 0 3 0 ℃ 、 1 秒) する。

【 0 0 5 2 】

続いて、図 8 (d) に示すように、全面にシリサイド金属、ここでは C o を堆積させ、熱処理することによりシリサイド化させた後、未反応の C o を除去することにより、ゲート電極 6 a , 6 b の露出面及びソース／ドレイン 1 0 a , 1 0 b の表面に C o S i ₂ 層 2 3 を形成する。

【 0 0 5 3 】

しかる後、全面に層間絶縁膜 2 4 を堆積し、コンタクト孔 2 5 を介した配線 2 6 を形成し、諸々の後工程を経て、 C M O S トランジスタを完成させる。

【 0 0 5 4 】

以上説明したように、本実施形態によれば、ゲート電極 6 a , 6 b の側面上部位を露出させるサイドウォール 9 a , 9 b を形成し、斜め 4 5 ° からのイオン注入を 4 方向から実行することにより、不純物濃度をゲート電極 6 a , 6 b の方がソース／ドレイン 1 0 a , 1 0 b よりも高くなるように制御することができる。本例では、ゲート電極 6 a , 6 b の不純物濃度がソース／ドレイン 1 0 a , 1 0 b よりも 2 5 % 程度増量される。本実施形態では、ソース／ドレイン 1 0 a , 1 0 b の不純物濃度を通常の場合と変えることなく、ゲート電極 6 a , 6 b の不純物濃度を増加させることができる。これにより、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、信頼性の高い C M O S トランジスタが実現される。

【 0 0 5 5 】

(変形例)

ここで、本実施形態の変形例について説明する。

本発明は、本実施形態で説明したイオン注入の態様に限定されるものではなく

、ソース／ドレインの不純物濃度を増加させることなくゲート電極の不純物濃度をこれよりも高くできる条件であれば、ソース／ドレインの1回目のイオン注入や斜めイオン注入の条件を適宜設定することができる。

【 0 0 5 6 】

例えば、この変形例では、図 1 0 に示すように、n 型ソース／ドレイン 1 0 a 形成時における始めのリンのイオン注入を加速エネルギーが 8 k e V、ドーズ量が $5.5 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件で行い、リンの斜めイオン注入をゲート長に対して水平方向に 2 回、それぞれ加速エネルギーが 4 k e V、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件で行う。

【 0 0 5 7 】

前記 2 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 a には、当初の $5.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($5 \times 10^{14} / \text{cm}^2$) の 4 回分に相当する不純物導入がなされ、合計で $7.5 \times 10^{15} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各 n 型ソース／ドレイン 1 0 a には、当初の $5.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合の 1 回分に相当する不純物導入がなされ、合計で $6 \times 10^{15} / \text{cm}^2$ (通常のソース／ドレイン形成時と同様) のドーズ量のリンがイオン注入される。

【 0 0 5 8 】

また同様に、p 型ソース／ドレイン 1 0 b 形成時における始めのホウ素のイオン注入を加速エネルギーが 4 k e V、ドーズ量が $2.75 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件で行い、ホウ素の斜めイオン注入をゲート長に対して水平方向に 2 回、それぞれ加速エネルギーが 2 k e V、ドーズ量が $2.5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件で行う。

【 0 0 5 9 】

前記 2 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 b には、当初の $2.75 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($2.5 \times 10^{14} / \text{cm}^2$) の 4 回分に相当する不純物導入がなされ、合計で $3.75 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各 p 型ソース／ドレイン 1 0 b には、当初の $2.75 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0

。 の場合の 1 回分に相当する不純物導入がなされ、合計で $3 \times 10^{15} / \text{cm}^2$ (通常のソース/ドレイン形成時と同様) のドーズ量のホウ素がイオン注入される。

【 0 0 6 0 】

(第 2 の実施形態)

図 1 1 は、第 2 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

本実施形態では、先ず第 1 の実施形態と同様に図 4 (a) ~ 図 8 (b) の各工程を経て、n 型 MOS 領域 1 1 では、ゲート電極 6 a のリンのドーズ量を $7.5 \times 10^{15} / \text{cm}^2$ 、n 型ソース/ドレイン 1 0 a のリンのドーズ量を $6 \times 10^{15} / \text{cm}^2$ に制御し、p 型 MOS 領域 1 2 では、ゲート電極 6 b のホウ素のドーズ量を $3.75 \times 10^{15} / \text{cm}^2$ 、n 型ソース/ドレイン 1 0 a のホウ素のドーズ量を $3 \times 10^{15} / \text{cm}^2$ に制御して、しかる後、半導体基板 1 をアニール処理 (RTA、 1030°C 、1 秒) する (図 1 1 (a))。

【 0 0 6 1 】

続いて、図 1 1 (b) に示すように、CVD 法により全面にシリコン酸化膜 2 7 を堆積した後、図 1 1 (c) に示すように、このシリコン酸化膜 2 7 を全面異方性エッチングすることにより、再びゲート電極 6 a、6 b の側面のみを覆うサイドウォール 9 a、9 b を形成する。即ちこのとき、サイドウォール 9 a、9 b は図 7 (a) に示した状態に戻るようになる。

【 0 0 6 2 】

続いて、図 1 1 (d) に示すように、全面にシリサイド金属、ここでは Co を堆積させ、熱処理することによりシリサイド化させた後、未反応の Co を除去することにより、ゲート電極 6 a、6 b の露出面及びソース/ドレイン 1 0 a、1 0 b の表面に CoSi_2 層 2 3 を形成する。

【 0 0 6 3 】

しかる後、全面に層間絶縁膜 2 4 を堆積し、コンタクト孔 2 5 を介した配線 2 6 を形成し、諸々の後工程を経て、CMOS トランジスタを完成させる。

【 0 0 6 4 】

以上説明したように、本実施形態によれば、ゲート電極 6 a, 6 b の側面上部位を露出させるサイドウォール 9 a, 9 b を形成し、斜め 45° からのイオン注入を 4 方向から実行することにより、不純物濃度をゲート電極 6 a, 6 b の方がソース／ドレイン 10 a, 10 b よりも高くなるように制御することができる。本例では、ゲート電極 6 a, 6 b の不純物濃度がソース／ドレイン 10 a, 10 b よりも 25% 程度増量される。本実施形態では、ソース／ドレイン 10 a, 10 b の不純物濃度を通常の場合と変えることなく、ゲート電極 6 a, 6 b の不純物濃度を増加させることができる。これにより、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、信頼性の高い CMOS トランジスタが実現される。

【 0 0 6 5 】

更に、 CoSi_2 層 23 を形成する際に、サイドウォール 9 a, 9 b をゲート電極 6 a, 6 b の側面をほぼ完全に覆う元のサイズとしているため、ソース／ドレイン 10 a, 10 b に形成される CoSi_2 とゲート電極 6 a, 6 b に形成される CoSi_2 との間に短絡が生じることをより確実に防止することが可能となる。従ってこの場合、前記斜めからのイオン注入を行う際に、前記短絡を懸念することなくサイドウォール 9 a, 9 b をオーバーエッチングすることができるため、第 1 の実施形態のオーバーエッチング量 (50%) よりも多いエッチング量に設定し、ゲート電極 6 a, 6 b へのイオン注入量を更に増加させることもできる。

【 0 0 6 6 】

なお、本実施形態でも、第 1 の実施形態の変形例と同様に、ソース／ドレインの不純物濃度を増加させることなくゲート電極の不純物濃度をこれよりも高くできる条件であれば、ソース／ドレインの 1 回目のイオン注入や斜めイオン注入の条件を適宜設定することができる。

【 0 0 6 7 】

例えば、n 型ソース／ドレイン 10 a 形成時における始めのリンのイオン注入を加速エネルギーが 8 keV 、ドーズ量が $5.5 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件で行い、リンの斜めイオン注入をゲート長に対して水平方向に 2 回、

それぞれ加速エネルギーが4 k e V、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件で行う。

【0068】

前記2回のイオン注入により、下記の表1に示すように、ゲート電極6 aには、当初の $5.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合($5 \times 10^{14} / \text{cm}^2$)の4回分に相当する不純物導入がなされ、合計で $7.5 \times 10^{15} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各n型ソース／ドレイン10 aには、当初の $5.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合の1回分に相当する不純物導入がなされ、合計で $6 \times 10^{15} / \text{cm}^2$ (通常のソース／ドレイン形成時と同様)のドーズ量のリンがイオン注入される。

【0069】

また同様に、p型ソース／ドレイン10 b形成時における始めのホウ素のイオン注入を加速エネルギーが4 k e V、ドーズ量が $2.75 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件で行い、ホウ素の斜めイオン注入をゲート長に対して水平方向に2回、それぞれ加速エネルギーが2 k e V、ドーズ量が $2.5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件で行う。

【0070】

前記2回のイオン注入により、下記の表1に示すように、ゲート電極6 bには、当初の $2.75 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合($2.5 \times 10^{14} / \text{cm}^2$)の4回分に相当する不純物導入がなされ、合計で $3.75 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各p型ソース／ドレイン10 bには、当初の $2.75 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合の1回分に相当する不純物導入がなされ、合計で $3 \times 10^{15} / \text{cm}^2$ (通常のソース／ドレイン形成時と同様)のドーズ量のホウ素がイオン注入される。

【0071】

(第3の実施形態)

図12及び図13は、第3の実施形態のCMOSトランジスタの製造方法における主要工程を順に示す概略断面図である。

本実施形態では、先ず第 1 の実施形態と同様に図 4 (a) ～図 6 (b) の各工程を経て、ゲート電極 6 a, 6 b の両側面を覆う最大幅が 8 0 n m 程度のサイドウォール 9 a, 9 b を形成する (図 1 2 (a))。

【 0 0 7 2 】

続いて、図 1 2 (b) に示すように、p 型 MOS 領域 1 2 を覆うレジストマスク 1 8 を形成し、n 型 MOS 領域 1 1 に n 型不純物、ここではリン (P) を加速エネルギーが 8 k e V、ドーズ量が $5 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、n 型ソース／ドレイン 1 0 a を形成する。このとき同時に、ゲート電極 6 a にもリンがイオン注入される。ここで、リンのドーズ量は、通常の n 型ソース／ドレイン形成時におけるドーズ量よりも小値 (例えば、 $6 \times 10^{15} / \text{cm}^2$) に制御されている。

【 0 0 7 3 】

続いて、レジストマスク 1 8 を灰化处理等により除去した後、図 1 2 (c) に示すように、n 型 MOS 領域 1 1 を覆うレジストマスク 1 9 を形成し、p 型 MOS 領域 1 2 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 4 k e V、ドーズ量が $2.5 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、p 型ソース／ドレイン 1 0 b を形成する。このとき同時に、ゲート電極 6 b にもホウ素がイオン注入される。ここで、ホウ素のドーズ量は、通常の p 型ソース／ドレイン形成時におけるドーズ量よりも小値 (例えば、 $3 \times 10^{15} / \text{cm}^2$) に制御されている。

【 0 0 7 4 】

続いて、レジストマスク 1 9 を灰化处理等により除去した後、図 1 2 (d) に示すように、サイドウォール 9 a, 9 b をドライエッチング (オーバーエッチング) し、ゲート電極 6 a, 6 b の両側面の上位を 5 0 n m 程度それぞれ露出させる。このとき、ゲート電極 6 a, 6 b は、その上面から両側面の上位にかけて表面が露出した状態とされ、サイドウォール 9 a, 9 b は 5 0 n m 程度の高さに調節される。

【 0 0 7 5 】

この場合、ゲート電極 6 a, 6 b に後述する斜めからのイオン注入を行うとき

に、サイドウォール 9 a, 9 b のエッチング量が多いほど、ゲート電極 6 a, 6 b に導入される不純物の量は増える。しかし、サイドウォール 9 a, 9 b のエッチング量が多すぎると、ソース／ドレイン 1 0 a, 1 0 b に同時に導入される不純物がチャネル方向に拡がり過ぎたり、後の工程でソース／ドレイン 1 0 a, 1 0 b に形成されるシリサイドとゲート電極 6 a, 6 b に形成されるシリサイドとが短絡し易くなる。このため、サイドウォール 9 a, 9 b のエッチング量には最適範囲があり、その 1 つのエッチング量が 5 0 n m である。

【 0 0 7 6 】

また、サイドウォール 9 a, 9 b とともに S T I 素子分離構造 2 がエッチングされることを抑止するため、サイドウォール 9 a, 9 b のエッチングレートが S T I 素子分離構造 2 のエッチングレートよりも大きくなるように、サイドウォール 9 a, 9 b と S T I 素子分離構造 2 を異なる材質で形成することが好ましい。例えば、S T I 素子分離構造 2 には H D P (High Density Plasma) により形成されたプラズマ酸化膜を、サイドウォールには T E O S からなる酸化膜をそれぞれ用いる。

【 0 0 7 7 】

続いて、図 1 3 (a) に示すように、n 型不純物を n 型 M O S 領域 1 1 に対して斜めに注入し、ゲート電極 6 a の露出面（上面（幅 5 0 n m ）及びサイドウォール 9 a から露出する両側面（高さ 5 0 n m ））に不純物を導入する。

【 0 0 7 8 】

具体的には、p 型 M O S 領域 1 2 を覆うレジストマスク 2 1 を形成し、n 型 M O S 領域 1 1 に n 型不純物、ここではリン（P）を加速エネルギーが 4 k e V、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回（ゲート長に対して 45° の相異なる各 4 方向）のイオン注入を実行する。この 4 回のイオン注入を行う様子を図 1 4 の概略平面図に示す。

【 0 0 7 9 】

この場合、ゲート電極 6 a においてその上面と一側面の上位とでほぼ同等の露出面積であるため、上記の条件による 1 回のイオン注入により、ゲート電極 6

a にはその上面から一側面の上位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入が、一方の n 型ソース／ドレイン 1 0 a には注入角度が 0° の場合の 1 回分に相当する不純物導入がなされる。このとき、他方の n 型ソース／ドレイン 1 0 a はゲート電極 6 a の影になる位置に存するため、不純物導入されないか、或いは殆ど影響を与えない程度の不純物導入がなされることになる。

【 0 0 8 0 】

前記 4 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 a には、当初の $5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($5 \times 10^{14} / \text{cm}^2$) の 8 回分に相当する不純物導入がなされ、合計で $9 \times 10^{15} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各 n 型ソース／ドレイン 1 0 a には、当初の $5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合の 2 回分に相当する不純物導入がなされ、合計で $6 \times 10^{15} / \text{cm}^2$ (通常のソース／ドレイン形成時と同様) のドーズ量のリンがイオン注入される。

【 0 0 8 1 】

なお、上述した n 型ソース／ドレイン 1 0 a 形成時の始めのイオン注入 (注入角度が 0° のイオン注入) において、斜めイオン注入における加速エネルギーを 8 k e V としたのに対して、斜め注入のエネルギーを 4 k e V と低く設定した理由は、ゲート電極 6 a に注入される不純物が横方向に突き抜けること、サイドウォール 1 0 a 及びゲート電極 6 a を不純物が突き抜けて半導体基板 1 内に侵入すること、及び n 型ソース／ドレイン 1 0 a に注入される不純物がチャネル方向に拡がることの各々を防止するためである。

【 0 0 8 2 】

続いて、図 1 3 (b) に示すように、p 型不純物を p 型 MOS 領域 1 2 に対して斜めに注入し、ゲート電極 6 b の露出面 (上面 (幅 5 0 n m) 及びサイドウォール 9 b から露出する両側面 (高さ 5 0 n m)) に不純物を導入する。

【 0 0 8 3 】

具体的には、レジストマスク 2 1 を灰化处理等により除去した後、n 型 MOS 領域 1 1 を覆うレジストマスク 2 2 を形成し、p 型 MOS 領域 1 2 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 2 k e V、ドーズ量が 2.5×10

$14 / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回（ゲート長に対して 45° の相異なる各 4 方向）のイオン注入を実行する。

【 0 0 8 4 】

この場合、ゲート電極 6 b においてその上面と一側面の上位とでほぼ同等の露出面積であるため、上記の条件による 1 回のイオン注入により、ゲート電極 6 b にはその上面から一側面の上位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入が、一方の p 型ソース／ドレイン 1 0 b には注入角度が 0° の場合の 1 回分に相当する不純物導入がなされる。このとき、他方の p 型ソース／ドレイン 1 0 b はゲート電極 6 b の影になる位置に存するため、不純物導入されないか、或いは殆ど影響を与えない程度の不純物導入がなされることになる。

【 0 0 8 5 】

前記 4 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 b には、当初の $2.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合（ $2.5 \times 10^{14} / \text{cm}^2$ ）の 8 回分に相当する不純物導入がなされ、合計で $4.5 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各 p 型ソース／ドレイン 1 0 b には、当初の $2.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合の 2 回分に相当する不純物導入がなされ、合計で $3 \times 10^{15} / \text{cm}^2$ （通常のソース／ドレイン形成時と同様）のドーズ量のホウ素がイオン注入される。

【 0 0 8 6 】

なお、上述した p 型ソース／ドレイン 1 0 b 形成時の 1 回目のイオン注入において、斜めイオン注入における加速エネルギーを 4 keV としたのに対して、斜め注入のエネルギーを 2 keV と低くした設定した理由は、ゲート電極 6 b に注入される不純物が横方向に突き抜けること、サイドウォール 1 0 b 及びゲート電極 6 b を不純物が突き抜けて半導体基板 1 内に侵入すること、及び p 型ソース／ドレイン 1 0 b に注入される不純物がチャネル方向に拡がることの各々を防止するためである。

【 0 0 8 7 】

続いて、レジストマスク 2 2 を灰化处理等により除去した後、図 1 3 (c) に

示すように、ゲート電極 6 a, 6 b 及びソース／ドレイン 1 0 a, 1 0 b の不純物導入により生じた欠陥を回復させ、更に不純物を活性化させるため、半導体基板 1 をアニール処理 (R T A、1 0 3 0℃、1 秒) する。

【 0 0 8 8 】

続いて、図 1 3 (d) に示すように、全面にシリサイド金属、ここでは C o を堆積させ、熱処理することによりシリサイド化させた後、未反応の C o を除去することにより、ゲート電極 6 a, 6 b の露出面及びソース／ドレイン 1 0 a, 1 0 b の表面に C o S i₂ 層 2 3 を形成する。

【 0 0 8 9 】

しかる後、全面に層間絶縁膜 2 4 を堆積し、コンタクト孔 2 5 を介した配線 2 6 を形成し、諸々の後工程を経て、C M O S トランジスタを完成させる。

【 0 0 9 0 】

以上説明したように、本実施形態によれば、ゲート電極 6 a, 6 b の側面上部位を露出させるサイドウォール 9 a, 9 b を形成し、斜め 4 5° からのイオン注入を 4 方向から実行することにより、不純物濃度をゲート電極 6 a, 6 b の方がソース／ドレイン 1 0 a, 1 0 b よりも高くなるように制御することができる。本例では、ゲート電極 6 a, 6 b の不純物濃度がソース／ドレイン 1 0 a, 1 0 b よりも 5 0 % 程度増量される。本実施形態では、ソース／ドレイン 1 0 a, 1 0 b の不純物濃度を通常の場合と変えることなく、ゲート電極 6 a, 6 b の不純物濃度を増加させることができる。これにより、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、信頼性の高い C M O S トランジスタが実現される。

【 0 0 9 1 】

(第 4 の実施形態)

図 1 5 及び図 1 6 は、第 4 の実施形態の C M O S トランジスタの製造方法における主要工程を順に示す概略断面図である。

本実施形態では、先ず第 1 の実施形態と同様に図 4 (a) ～図 6 (b) の各工程を経て、ゲート電極 6 a, 6 b の両側面を覆う最大幅が 8 0 n m 程度のサイドウォール 9 a, 9 b を形成する (図 1 5 (a))。

【0092】

続いて、図15(b)に示すように、p型MOS領域12を覆うレジストマスク18を形成し、n型MOS領域11にn型不純物、ここではリン(P)を加速エネルギーが8keV、ドーズ量が $5 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、n型ソース/ドレイン10aを形成する。このとき同時に、ゲート電極6aにもリンがイオン注入される。ここで、リンのドーズ量は、通常のn型ソース/ドレイン形成時におけるドーズ量よりも小値(例えば、 $6 \times 10^{15} / \text{cm}^2$)に制御されている。

【0093】

続いて、レジストマスク18を灰化处理等により除去した後、図15(c)に示すように、n型MOS領域11を覆うレジストマスク19を形成し、p型MOS領域12にp型不純物、ここではホウ素(B)を加速エネルギーが4keV、ドーズ量が $2.5 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、p型ソース/ドレイン10bを形成する。このとき同時に、ゲート電極6bにもホウ素がイオン注入される。ここで、ホウ素のドーズ量は、通常のp型ソース/ドレイン形成時におけるドーズ量よりも小値(例えば、 $3 \times 10^{15} / \text{cm}^2$)に制御されている。

【0094】

続いて、レジストマスク19を灰化处理等により除去した後、図15(d)に示すように、サイドウォール9a、9bをドライエッチング(オーバーエッチング)し、ゲート電極6a、6bの両側面の上部位を50nm程度それぞれ露出させる。このとき、ゲート電極6a、6bは、その上面から両側面の上部位にかけて表面が露出した状態とされ、サイドウォール9a、9bは50nm程度の高さに調節される。

【0095】

この場合、ゲート電極6a、6bに後述する斜めからのイオン注入を行うときに、サイドウォール9a、9bのエッチング量が多いほど、ゲート電極6a、6bに導入される不純物の量は増える。しかし、サイドウォール9a、9bのエッチング量が多すぎると、ソース/ドレイン10a、10bに同時に導入される不

純物がチャネル方向に拡がり過ぎたり、後の工程でソース／ドレイン 1 0 a, 1 0 b に形成されるシリサイドとゲート電極 6 a, 6 b に形成されるシリサイドとが短絡し易くなる。このため、サイドウォール 9 a, 9 b のエッチング量には最適範囲があり、その 1 つのエッチング量が 5 0 n m である。

【 0 0 9 6 】

また、サイドウォール 9 a, 9 b とともに S T I 素子分離構造 2 がエッチングされることを抑止するため、サイドウォール 9 a, 9 b のエッチングレートが S T I 素子分離構造 2 のエッチングレートよりも大きくなるように、サイドウォール 9 a, 9 b と S T I 素子分離構造 2 を異なる材質で形成することが好ましい。例えば、S T I 素子分離構造 2 には H D P (High Density Plasma) により形成されたプラズマ酸化膜を、サイドウォールには T E O S からなる酸化膜をそれぞれ用いる。

【 0 0 9 7 】

続いて、図 1 6 (a) に示すように、n 型不純物を n 型 M O S 領域 1 1 に対して斜めに注入し、ゲート電極 6 a の露出面（上面（幅 5 0 n m ）及びサイドウォール 9 a から露出する両側面（高さ 5 0 n m ））に不純物を導入する。

【 0 0 9 8 】

具体的には、p 型 M O S 領域 1 2 を覆い n 型ソース／ドレイン 1 0 a を斜めイオン注入から保護（防御）する寸法の開口 3 1 a を有するレジストマスク 3 1 を形成する。ここで、レジストマスク 3 1 は高さ 1 2 0 n m 程度であり、開口 3 1 a はその一端がゲート電極 6 a の端から 1 2 0 n m となる領域である。フォトリソグラフィに際し、開口 3 1 a を形成するときのレチクルの位置合わせを行う場合、S T I により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、n 型 M O S 領域 1 1 に n 型不純物、ここではリン（P）を加速エネルギーが 4 k e V、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回（ゲート長に対して水平方向（互いに対向する 2 方向）が 2 回、垂直方向（互いに対向する 2 方向）が 2 回）のイオン注入を実行する。この 4 回のイオン注入を行う様子を図 1 7 の概略平面図に示す。

【 0 0 9 9 】

図 1 6 (a) では、ゲート長に対して水平方向であり注入角度が 45° のイオン注入を例示している。この場合、ゲート電極 6 a においてその上面と一側面の上部とでほぼ同等の露出面積であるため、上記の条件による 1 回のイオン注入により、ゲート電極 6 a にはその上面から一側面の上部にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入がなされる。このとき、一対の n 型ソース／ドレイン 1 0 a はレジストマスク 3 1 により当該イオン注入から保護されるため、不純物導入が防止される。

【 0 1 0 0 】

また、便宜上図示は省略するが、ゲート長に対して垂直方向であり注入角度が 45° の 1 回のイオン注入により、ゲート電極 6 a には注入角度が 0° の場合の 1 回分に相当する不純物導入が、各 n 型ソース／ドレイン 1 0 a にもそれぞれ注入角度が 0° の場合の 1 回分に相当する不純物導入がなされる。

【 0 1 0 1 】

前記 4 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 a には、当初の $5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($5 \times 10^{14} / \text{cm}^2$) の 6 回分に相当する不純物導入がなされ、合計で $8 \times 10^{15} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各 n 型ソース／ドレイン 1 0 a には、当初の $5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合の 2 回分に相当する不純物導入がなされ、合計で $6 \times 10^{15} / \text{cm}^2$ (通常のソース／ドレイン形成時と同様) のドーズ量のリンがイオン注入される。

【 0 1 0 2 】

なお、上述した n 型ソース／ドレイン 1 0 a 形成時の始めのイオン注入 (注入角度が 0° のイオン注入) において、斜めイオン注入における加速エネルギーを 8 keV としたのに対して、斜め注入のエネルギーを 4 keV と低く設定した理由は、ゲート電極 6 a に注入される不純物が横方向に突き抜けること、サイドウォール 1 0 a 及びゲート電極 6 a を不純物が突き抜けて半導体基板 1 内に侵入すること、及び n 型ソース／ドレイン 1 0 a に注入される不純物がチャネル方向に拡がることの各々を防止するためである。

【0103】

続いて、図16(b)に示すように、p型不純物をp型MOS領域12に対して斜めに注入し、ゲート電極6bの露出面（上面（幅50nm）及びサイドウォール9bから露出する両側面（高さ50nm））に不純物を導入する。

【0104】

具体的には、レジストマスク31を灰化处理等により除去した後、n型MOS領域11を覆いp型ソース／ドレイン10bを斜めイオン注入から保護（防御）する寸法の開口32aを有するレジストマスク32を形成する。ここで、レジストマスク32は高さ120nm程度であり、開口32aはその一端がゲート電極6aの端から120nmとなる領域である。フォトリソグラフィーに際し、開口32aを形成するときのレチクルの位置合わせを行う場合、STIにより形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、p型MOS領域12にp型不純物、ここではホウ素（B）を加速エネルギーが2keV、ドーズ量が $2.5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から4回（ゲート長に対して水平方向（互いに対向する2方向）が2回、垂直方向（互いに対向する2方向）が2回）のイオン注入を実行する。

【0105】

図16(b)では、ゲート長に対して水平方向であり注入角度が 45° のイオン注入を例示している。この場合、ゲート電極6bにおいてその上面と一側面の上部位とでほぼ同等の露出面積であるため、上記の条件による1回のイオン注入により、ゲート電極6bにはその上面から一側面の上部位にかけて、注入角度が 0° の場合の2回分に相当する不純物導入がなされる。このとき、一対のp型ソース／ドレイン10bはレジストマスク32により当該イオン注入から保護されるため、不純物導入が防止される。

【0106】

また、便宜上図示は省略するが、ゲート長に対して垂直方向であり注入角度が 45° の1回のイオン注入により、ゲート電極6bには注入角度が 0° の場合の1回分に相当する不純物導入が、各p型ソース／ドレイン10bにもそれぞれ注

入角度が 0° の場合の 1 回分に相当する不純物導入がなされる。

【0 1 0 7】

前記 4 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 b には、当初の $2.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($2.5 \times 10^{14} / \text{cm}^2$) の 6 回分に相当する不純物導入がなされ、合計で $4 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各 p 型ソース／ドレイン 1 0 b には、当初の $2.5 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合の 2 回分に相当する不純物導入がなされ、合計で $3 \times 10^{15} / \text{cm}^2$ (通常のソース／ドレイン形成時と同様) のドーズ量のホウ素がイオン注入される。

【0 1 0 8】

なお、上述した p 型ソース／ドレイン 1 0 b 形成時の始めのイオン注入 (注入角度が 0° のイオン注入) において、斜めイオン注入における加速エネルギーを 4 k e V としたのに対して、斜め注入のエネルギーを 2 k e V と低く設定した理由は、ゲート電極 6 b に注入される不純物が横方向に突き抜けること、サイドウォール 1 0 b 及びゲート電極 6 b を不純物が突き抜けて半導体基板 1 内に侵入すること、及び p 型ソース／ドレイン 1 0 b に注入される不純物がチャネル方向に拡がることの各々を防止するためである。

【0 1 0 9】

続いて、レジストマスク 3 2 を灰化处理等により除去した後、図 1 6 (c) に示すように、ゲート電極 6 a, 6 b 及びソース／ドレイン 1 0 a, 1 0 b の不純物導入により生じた欠陥を回復させ、更に不純物を活性化させるため、半導体基板 1 をアニール処理 (R T A、 1030°C 、1 秒) する。

【0 1 1 0】

続いて、図 1 6 (d) に示すように、全面にシリサイド金属、ここでは C o を堆積させ、熱処理することによりシリサイド化させた後、未反応の C o を除去することにより、ゲート電極 6 a, 6 b の露出面及びソース／ドレイン 1 0 a, 1 0 b の表面に C o S i ₂ 層 2 3 を形成する。

【0 1 1 1】

しかる後、全面に層間絶縁膜 2 4 を堆積し、コンタクト孔 2 5 を介した配線 2

6を形成し、諸々の後工程を経て、CMOSトランジスタを完成させる。

【0112】

以上説明したように、本実施形態によれば、ゲート電極6a、6bの側面上部位を露出させるサイドウォール9a、9bを形成し、斜め45°からのイオン注入を4方向から実行することにより、不純物濃度をゲート電極6a、6bの方がソース／ドレイン10a、10bよりも高くなるように制御することができる。本例では、ゲート電極6a、6bの不純物濃度がソース／ドレイン10a、10bよりも25%程度増量される。本実施形態では、ソース／ドレイン10a、10bの不純物濃度を通常の場合と変えることなく、ゲート電極6a、6bの不純物濃度を増加させることができる。これにより、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、信頼性の高いCMOSトランジスタが実現される。

【0113】

更に、前記斜めイオン注入を行う際に、レジストマスク31、32によりソース／ドレイン10a、10bにはイオン注入がなされず、ゲート電極6a、6bのみにイオン注入されるため、ゲート電極6a、6bをソース／ドレイン10a、10bよりも確実に高不純物濃度に制御することが可能となる。

【0114】

(変形例)

なお、本実施形態でも、第1の実施形態の変形例と同様に、ソース／ドレインの不純物濃度を増加させることなくゲート電極の不純物濃度をこれよりも高くできる条件であれば、ソース／ドレインの1回目のイオン注入や斜めイオン注入の条件を適宜設定することができる。

【0115】

例えば、n型ソース／ドレイン10a形成時における始めのリンのイオン注入を加速エネルギーが8keV、ドーズ量が $6 \times 10^{15} / \text{cm}^2$ 、注入角度が0°の条件で行い、リンの斜めイオン注入をゲート長に対して水平方向に2回、それぞれ加速エネルギーが4keV、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が45°の条件で行う。

【0 1 1 6】

前記 2 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 a には、当初の $6 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($5 \times 10^{14} / \text{cm}^2$) の 4 回分に相当する不純物導入がなされ、合計で $8 \times 10^{15} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各 n 型ソース／ドレイン 1 0 a には、当初の $6 \times 10^{15} / \text{cm}^2$ のみ不純物導入がなされ、通常のソース／ドレイン形成時と同様のドーズ量のリンがイオン注入される。

【0 1 1 7】

また同様に、p 型ソース／ドレイン 1 0 b 形成時における始めのホウ素のイオン注入を加速エネルギーが 4 k e V、ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件で行い、ホウ素の斜めイオン注入をゲート長に対して水平方向に 2 回、それぞれ加速エネルギーが 2 k e V、ドーズ量が $2.5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件で行う。

【0 1 1 8】

前記 2 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 b には、当初の $3 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($2.5 \times 10^{14} / \text{cm}^2$) の 4 回分に相当する不純物導入がなされ、合計で $4 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各 p 型ソース／ドレイン 1 0 b には、当初の $3 \times 10^{15} / \text{cm}^2$ のみの不純物導入がなされ、通常のソース／ドレイン形成時と同様のドーズ量のホウ素がイオン注入される。

【0 1 1 9】

(第 5 の実施形態)

図 1 8 及び図 1 9 は、第 5 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

本実施形態では、先ず第 1 の実施形態と同様に図 4 (a) ～図 6 (b) の各工程を経て、ゲート電極 6 a、6 b の両側面を覆う最大幅が 8 0 n m 程度のサイドウォール 9 a、9 b を形成する (図 1 8 (a))。

【0 1 2 0】

続いて、図 1 8 (b) に示すように、p 型 MOS 領域 1 2 を覆うレジストマス

ク18を形成し、n型MOS領域11にn型不純物、ここではリン(P)を加速エネルギーが8keV、ドーズ量が $6 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、n型ソース/ドレイン10aを形成する。このとき同時に、ゲート電極6aにもリンがイオン注入される。

【0121】

続いて、レジストマスク18を灰化处理等により除去した後、図18(c)に示すように、n型MOS領域11を覆うレジストマスク19を形成し、p型MOS領域12にp型不純物、ここではホウ素(B)を加速エネルギーが4keV、ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、p型ソース/ドレイン10bを形成する。このとき同時に、ゲート電極6bにもホウ素がイオン注入される。

【0122】

続いて、レジストマスク19を灰化处理等により除去した後、図18(d)に示すように、サイドウォール9a, 9bをドライエッチング(オーバーエッチング)し、ゲート電極6a, 6bの両側面の上位を50nm程度それぞれ露出させる。このとき、ゲート電極6a, 6bは、その上面から両側面の上位にかけて表面が露出した状態とされ、サイドウォール9a, 9bは50nm程度の高さに調節される。

【0123】

この場合、ゲート電極6a, 6bに後述する斜めからのイオン注入を行うときに、サイドウォール9a, 9bのエッチング量が多いほど、ゲート電極6a, 6bに導入される不純物の量は増える。しかし、サイドウォール9a, 9bのエッチング量が多すぎると、ソース/ドレイン10a, 10bに同時に導入される不純物がチャネル方向に拡がり過ぎたり、後の工程でソース/ドレイン10a, 10bに形成されるシリサイドとゲート電極6a, 6bに形成されるシリサイドとが短絡し易くなる。このため、サイドウォール9a, 9bのエッチング量には最適範囲があり、その1つのエッチング量が50nmである。

【0124】

また、サイドウォール9a, 9bとともにSTI素子分離構造2がエッチング

すれることを抑止するため、サイドウォール 9 a, 9 b のエッチングレートが S T I 素子分離構造 2 のエッチングレートよりも大きくなるように、サイドウォール 9 a, 9 b と S T I 素子分離構造 2 を異なる材質で形成することが好ましい。例えば、S T I 素子分離構造 2 には H D P (High Density Plasma) により形成されたプラズマ酸化膜を、サイドウォールには T E O S からなる酸化膜をそれぞれ用いる。

【 0 1 2 5 】

続いて、図 1 9 (a) に示すように、 n 型不純物を n 型 M O S 領域 1 1 に対して斜めに注入し、ゲート電極 6 a の露出面（上面（幅 5 0 n m）及びサイドウォール 9 a から露出する両側面（高さ 5 0 n m））に不純物を導入する。

【 0 1 2 6 】

具体的には、 p 型 M O S 領域 1 2 を覆い n 型ソース／ドレイン 1 0 a を斜めイオン注入から保護（防御）する寸法の開口 3 3 a を有するレジストマスク 3 3 を形成する。ここで、レジストマスク 3 3 は高さ 1 2 0 n m 程度であり、開口 3 3 a はその一端がゲート電極 6 a の端から 1 2 0 n m となる領域である。フォトリソグラフィに際し、開口 3 3 a を形成するときのレチクルの位置合わせを行う場合、S T I により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、 n 型 M O S 領域 1 1 に n 型不純物、ここではリン（P）を加速エネルギーが 4 k e V、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回（ゲート長に対して 45° の相異なる各 4 方向）の斜めイオン注入を実行する。この 4 回のイオン注入を行う様子を図 2 0 の概略平面図に示す。

【 0 1 2 7 】

この場合、上記の条件による 1 回のイオン注入により、ゲート電極 6 a にはその上面から一側面の上位位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入がなされる。このとき、一対の n 型ソース／ドレイン 1 0 a はレジストマスク 3 3 により当該イオン注入から保護されるため、不純物導入が防止される。

【 0 1 2 8 】

前記 4 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 a には、当初の $6 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($5 \times 10^{14} / \text{cm}^2$) の 8 回分に相当する不純物導入がなされ、合計で $1 \times 10^{16} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各 n 型ソース／ドレイン 1 0 a には、当初の $6 \times 10^{15} / \text{cm}^2$ のみの不純物導入がなされ、通常のソース／ドレイン形成時と同様のドーズ量のリンがイオン注入される。

【 0 1 2 9 】

なお、上述した n 型ソース／ドレイン 1 0 a 形成時の始めのイオン注入（注入角度が 0° のイオン注入）において、斜めイオン注入における加速エネルギーを 8 k e V としたのに対して、斜め注入のエネルギーを 4 k e V と低く設定した理由は、ゲート電極 6 a に注入される不純物が横方向に突き抜けること、サイドウォール 1 0 a 及びゲート電極 6 a を不純物が突き抜けて半導体基板 1 内に侵入すること、及び n 型ソース／ドレイン 1 0 a に注入される不純物がチャネル方向に拡がることの各々を防止するためである。

【 0 1 3 0 】

続いて、図 1 9 (b) に示すように、p 型不純物を p 型 MOS 領域 1 2 に対して斜めに注入し、ゲート電極 6 b の露出面（上面（幅 5 0 n m）及びサイドウォール 9 b から露出する両側面（高さ 5 0 n m））に不純物を導入する。

【 0 1 3 1 】

具体的には、レジストマスク 3 3 を灰化处理等により除去した後、n 型 MOS 領域 1 1 を覆い p 型ソース／ドレイン 1 0 b を斜めイオン注入から保護（防御）する寸法の開口 3 4 a を有するレジストマスク 3 4 を形成する。ここで、レジストマスク 3 4 は高さ 1 2 0 n m 程度であり、開口 3 4 a はその一端がゲート電極 6 a の端から 1 2 0 n m となる領域である。フォトリソグラフィーに際し、開口 3 4 a を形成するときのレチクルの位置合わせを行う場合、S T I により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、p 型 MOS 領域 1 2 に p 型不純物、ここではホウ素（B）を加速エネルギーが 2 k e V、ドーズ量が $2.5 \times 10^{14} / \text{cm}^2$ 、

注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回（ゲート長に対して 45° の相異なる各 4 方向）のイオン注入を実行する。

【 0 1 3 2 】

この場合、上記の条件による 1 回のイオン注入により、ゲート電極 6 b にはその上面から一側面の上位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入がなされる。このとき、一対の p 型ソース／ドレイン 1 0 b はレジストマスク 3 4 により当該イオン注入から保護されるため、不純物導入が防止される。

【 0 1 3 3 】

前記 4 回のイオン注入により、下記の表 1 に示すように、ゲート電極 6 b には、当初の $3 \times 10^{15} / \text{cm}^2$ に加えて注入角度が 0° の場合 ($2.5 \times 10^{14} / \text{cm}^2$) の 8 回分に相当する不純物導入がなされ、合計で $5 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各 p 型ソース／ドレイン 1 0 b には、当初の $3 \times 10^{15} / \text{cm}^2$ のみの不純物導入がなされ、通常のソース／ドレイン形成時と同様のドーズ量のホウ素がイオン注入される。

【 0 1 3 4 】

なお、上述した p 型ソース／ドレイン 1 0 b 形成時の始めのイオン注入（注入角度が 0° のイオン注入）において、斜めイオン注入における加速エネルギーを 4 k e V としたのに対して、斜め注入のエネルギーを 2 k e V と低く設定した理由は、ゲート電極 6 b に注入される不純物が横方向に突き抜けること、サイドウォール 1 0 b 及びゲート電極 6 b を不純物が突き抜けて半導体基板 1 内に侵入すること、及び p 型ソース／ドレイン 1 0 b に注入される不純物がチャネル方向に拡がることの各々を防止するためである。

【 0 1 3 5 】

続いて、レジストマスク 3 4 を灰化处理等により除去した後、図 1 9 (c) に示すように、ゲート電極 6 a, 6 b 及びソース／ドレイン 1 0 a, 1 0 b の不純物導入により生じた欠陥を回復させ、更に不純物を活性化させるため、半導体基板 1 をアニール処理 (R T A, 1030°C 、1 秒) する。

【0136】

続いて、図19(d)に示すように、全面にシリサイド金属、ここではCoを堆積させ、熱処理することによりシリサイド化させた後、未反応のCoを除去することにより、ゲート電極6a、6bの露出面及びソース/ドレイン10a、10bの表面に CoSi_2 層23を形成する。

【0137】

しかる後、全面に層間絶縁膜24を堆積し、コンタクト孔25を介した配線26を形成し、諸々の後工程を経て、CMOSトランジスタを完成させる。

【0138】

以上説明したように、本実施形態によれば、ゲート電極6a、6bの側面上部位を露出させるサイドウォール9a、9bを形成し、斜め 45° からのイオン注入を4方向から実行することにより、不純物濃度をゲート電極6a、6bの方がソース/ドレイン10a、10bよりも高くなるように制御することができる。本例では、ゲート電極6a、6bの不純物濃度がソース/ドレイン10a、10bよりも66%程度増量される。本実施形態では、ソース/ドレイン10a、10bの不純物濃度を通常の場合と変えることなく、ゲート電極6a、6bの不純物濃度を増加させることができる。これにより、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、信頼性の高いCMOSトランジスタが実現される。

【0139】

更に、前記斜めイオン注入を行う際に、レジストマスク33、34によりソース/ドレイン10a、10bにはイオン注入がなされず、ゲート電極6a、6bのみにイオン注入されるため、ゲート電極6a、6bをソース/ドレイン10a、10bよりも確実に高不純物濃度に制御することが可能となる。

【0140】

なお、第5の実施形態に第2の実施形態を組み合わせることにより、ソース/ドレイン10a、10bに形成されるシリサイドとゲート電極6a、6bに形成されるシリサイドとが短絡することを防止できる。このため、第5の実施形態よりサイドウォール9a、9bのエッチング量を増加させることが可能となり、ゲ

ート電極 6 a, 6 b に導入する不純物の量を増やせるようになる。更に、サイドウォール 9 a, 9 b のオーバーエッチングの際に、サイドウォール 9 a, 9 b を完全にエッチングしても良い。レジストマスク 3 3, 3 4 により、サイドウォール 9 a, 9 b が無くともソース／ドレイン 1 0 a, 1 0 b に不純物が導入されることが防止されるためである。

【 0 1 4 1 】

（第 6 の実施形態）

図 2 1 ～図 2 3 は、第 6 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

本実施形態では、先ず第 1 の実施形態と同様に図 4 （a）～図 5 （c）の各工程を経て、ゲート電極 6 a, 6 b をパターン形成する（図 2 1 （a））。

【 0 1 4 2 】

続いて、図 2 1 （b）に示すように、n 型不純物を n 型 MOS 領域 1 1 に対して斜めに注入し、ゲート電極 6 a の露出面（上面（幅 5 0 n m））に不純物を導入する。

【 0 1 4 3 】

具体的には、p 型 MOS 領域 1 2 を覆い n 型ソース／ドレイン 1 0 a を斜めイオン注入から保護（防御）する寸法の開口 3 5 a を有するレジストマスク 3 5 を形成する。ここで、レジストマスク 3 5 は高さ 1 2 0 n m 程度であり、開口 3 5 a はその一端がゲート電極 6 a の端から 8 0 n m となる領域である。フォトリソグラフィに際し、開口 3 5 a を形成するときのレチクルの位置合わせを行う場合、STI により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、n 型 MOS 領域 1 1 に n 型不純物、ここではリン（P）を加速エネルギーが 4 k e V、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回（ゲート長に対して 45° の相異なる各 4 方向）の斜めイオン注入を実行する。この 4 回のイオン注入を行う様子を図 2 4 の概略平面図に示す。

【 0 1 4 4 】

この場合、ゲート電極 6 a においてその上面と一側面の上部位とではほぼ同等の露出面積であるため、上記の条件による 1 回のイオン注入により、ゲート電極 6 a にはその上面から一側面の上部位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入がなされる。このとき、一対の n 型ソース／ドレイン 1 0 a はレジストマスク 3 5 により当該イオン注入から保護されるため、不純物導入が防止される。

【 0 1 4 5 】

続いて、図 2 1 (c) に示すように、p 型不純物を p 型 MOS 領域 1 2 に対して斜めに注入し、ゲート電極 6 b の露出面（上面（幅 5 0 n m））に不純物を導入する。

【 0 1 4 6 】

具体的には、レジストマスク 3 5 を灰化处理等により除去した後、n 型 MOS 領域 1 1 を覆い p 型ソース／ドレイン 1 0 b を斜めイオン注入から保護（防御）する寸法の開口 3 6 a を有するレジストマスク 3 6 を形成する。ここで、レジストマスク 3 6 は高さ 1 2 0 n m 程度であり、開口 3 6 a はその一端がゲート電極 6 a の端から 8 0 n m となる領域である。フォトリソグラフィーに際し、開口 3 6 a を形成するときのレチクルの位置合わせを行う場合、STI により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、p 型 MOS 領域 1 2 に p 型不純物、ここではホウ素（B）を加速エネルギーが 2 k e V、ドーズ量が $2.5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回（ゲート長に対して 45° の相異なる各 4 方向）のイオン注入を実行する。

【 0 1 4 7 】

この場合、上記の条件による 1 回のイオン注入により、ゲート電極 6 b にはその上面から一側面の上部位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入がなされる。このとき、一対の p 型ソース／ドレイン 1 0 b はレジストマスク 3 6 により当該イオン注入から保護されるため、不純物導入が防止される。

【 0 1 4 8 】

続いて、レジストマスク 3 6 を灰化处理等により除去した後、図 2 1 (d) に示すように、 p 型 MOS 領域 1 2 を覆うレジストマスク 1 6 を形成し、 n 型 MOS 領域 1 1 に n 型不純物、ここでは砒素 (A s) を加速エネルギーが 5 k e V 、ドーズ量が $6 \times 10^{14} / \text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、 p 型不純物、ここではホウ素 (B) を加速エネルギーが 1 0 k e V 、ドーズ量が $8 \times 10^{12} / \text{cm}^2$ の条件で入射角 30° で 4 方向からイオン注入し、 n 型エクステンション層 7 a 及び p 型ポケット層 8 a を形成する。

【 0 1 4 9 】

続いて、レジストマスク 1 6 を灰化处理等により除去した後、図 2 2 (a) に示すように、 n 型 MOS 領域 1 1 を覆うレジストマスク 1 7 を形成し、 p 型 MOS 領域 1 2 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 0 . 5 k e V 、ドーズ量が $6 \times 10^{14} / \text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、 n 型不純物、ここでは砒素 (A s) を加速エネルギーが 5 0 k e V 、ドーズ量が $6 \times 10^{12} / \text{cm}^2$ の条件で入射角 30° で 4 方向からイオン注入し、 p 型エクステンション層 7 b 及び n 型ポケット層 8 b を形成する。

【 0 1 5 0 】

なお、図 2 1 (b) ～図 2 2 (a) の各工程は、順不同で実行することが可能である。

【 0 1 5 1 】

続いて、図 2 2 (b) に示すように、レジストマスク 1 7 を灰化处理等により除去した後、エクステンション層 7 a 、 7 b 及びポケット層 8 a 、 8 b の不純物導入により生じた欠陥を回復させるため、半導体基板 1 をアニール処理 (R T A 、 1000°C 、 1 秒) する。

【 0 1 5 2 】

続いて、図 2 2 (c) に示すように、 C V D 法により全面にシリコン酸化膜 (不図示) を堆積し、これを全面異方性エッチングすることにより、ゲート電極 6 a 、 6 b の両側面のみにシリコン酸化膜を残し、最大幅が 8 0 n m 程度のサイドウォール 2 0 a 、 2 0 b をそれぞれ形成する。

【0153】

続いて、図22(d)に示すように、p型MOS領域12を覆うレジストマスク18を形成し、n型MOS領域11にn型不純物、ここではリン(P)を加速エネルギーが8keV、ドーズ量が $6 \times 10^{15} / \text{cm}^2$ 、注入角度(基板表面に対して垂直方向の場合を 0° となる。)が 0° の条件でイオン注入し、n型ソース/ドレイン10aを形成する。このとき同時に、ゲート電極6aにもリンがイオン注入される。

【0154】

この場合、ゲート電極6aには、前記4回の斜めイオン注入に加え、前記注入角度 0° のイオン注入により、 $5 \times 10^{14} / \text{cm}^2$ の8回分に相当する不純物導入及び $6 \times 10^{15} / \text{cm}^2$ の不純物導入がなされ、合計で $1 \times 10^{16} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各n型ソース/ドレイン10aには、 $6 \times 10^{15} / \text{cm}^2$ のみの不純物導入がなされ、通常のソース/ドレイン形成時と同様のドーズ量のリンがイオン注入される。

【0155】

続いて、レジストマスク18を灰化处理等により除去した後、図23(a)に示すように、n型MOS領域11を覆うレジストマスク19を形成し、p型MOS領域12にp型不純物、ここではホウ素(B)を加速エネルギーが4keV、ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、p型ソース/ドレイン10bを形成する。このとき同時に、ゲート電極6bにもホウ素がイオン注入される。

【0156】

この場合、ゲート電極6bには、前記4回の斜めイオン注入に加え、前記注入角度 0° のイオン注入により、 $2.5 \times 10^{14} / \text{cm}^2$ の8回分に相当する不純物導入及び $3 \times 10^{15} / \text{cm}^2$ の不純物導入がなされ、合計で $5 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各p型ソース/ドレイン10bには、 $3 \times 10^{15} / \text{cm}^2$ のみの不純物導入がなされ、通常のソース/ドレイン形成時と同様のドーズ量のホウ素がイオン注入される。

【0157】

続いて、レジストマスク 19 を灰化処理等により除去した後、図 23 (b) に示すように、ゲート電極 6 a, 6 b 及びソース／ドレイン 10 a, 10 b の不純物導入により生じた欠陥を回復させ、更に不純物を活性化させるため、半導体基板 1 をアニール処理 (RTA、1030℃、1 秒) する。

【0158】

続いて、図 23 (c) に示すように、全面にシリサイド金属、ここでは Co を堆積させ、熱処理することによりシリサイド化させた後、未反応の Co を除去することにより、ゲート電極 6 a, 6 b の露出面及びソース／ドレイン 10 a, 10 b の表面に CoSi_2 層 23 を形成する。

【0159】

しかる後、図 23 (d) に示すように、全面に層間絶縁膜 24 を堆積し、コンタクト孔 25 を介した配線 26 を形成し、諸々の後工程を経て、CMOS トランジスタを完成させる。

【0160】

以上説明したように、本実施形態によれば、斜め 45° からのイオン注入を 4 方向から実行することにより、不純物濃度をゲート電極 6 a, 6 b の方がソース／ドレイン 10 a, 10 b よりも高くなるように制御することができる。本例では、ゲート電極 6 a, 6 b の不純物濃度がソース／ドレイン 10 a, 10 b よりも 66% 程度増量される。本実施形態では、ソース／ドレイン 10 a, 10 b の不純物濃度を通常の場合と変えることなく、ゲート電極 6 a, 6 b の不純物濃度を増加させることができる。これにより、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、信頼性の高い CMOS トランジスタが実現される。

【0161】

更に、前記斜めイオン注入を行う際に、レジストマスク 35, 36 によりソース／ドレイン 10 a, 10 b にはイオン注入がなされず、ゲート電極 6 a, 6 b のみにイオン注入されるため、ゲート電極 6 a, 6 b をソース／ドレイン 10 a, 10 b よりも確実に高不純物濃度に制御することが可能となる。

【0162】

更に、ソース／ドレイン 1 0 a, 1 0 b 及びゲート電極 6 a, 6 b に導入される不純物の量は、第 5 の実施形態の場合と同じであるにも係わらず、サイドウォール 2 0 a, 2 0 b の薄膜化のためのオーバーエッチングを省略でき、製造コストを削減することが可能になる。

【 0 1 6 3 】

(第 7 の実施形態)

図 2 5 ～図 2 7 は、第 7 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

本実施形態では、先ず第 1 の実施形態と同様に図 4 (a) ～図 5 (c) の各工程を経て、ゲート電極 6 a, 6 b をパターン形成する。

【 0 1 6 4 】

続いて、図 2 5 (a) に示すように、n 型不純物を n 型 MOS 領域 1 1 に対して斜めに注入し、ゲート電極 6 a の露出面 (上面 (幅 5 0 n m) に不純物を導入する。

【 0 1 6 5 】

具体的には、p 型 MOS 領域 1 2 を覆い n 型ソース／ドレイン 1 0 a を斜めイオン注入から保護 (防御) する寸法の開口 3 7 a を有するレジストマスク 3 7 を形成する。ここで、レジストマスク 3 7 は高さ 1 2 0 n m 程度であり、開口 3 7 a はその一端がゲート電極 6 a の端から 8 0 n m となる領域である。フォトリソグラフィに際し、開口 3 7 a を形成するときのレチクルの位置合わせを行う場合、STI により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、n 型 MOS 領域 1 1 に n 型不純物、ここではリン (P) を加速エネルギーが 4 k e V、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回 (ゲート長に対して 45° の相異なる各 4 方向) の斜めイオン注入を実行する。

【 0 1 6 6 】

この場合、ゲート電極 6 a においてその上面と一側面の上位とでほぼ同等の露出面積であるため、上記の条件による 1 回のイオン注入により、ゲート電極 6

a にはその上面から一側面の上位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入がなされる。このとき、一対の n 型ソース／ドレイン 10 a はレジストマスク 37 により当該イオン注入から保護されるため、不純物導入が防止される。

【 0 1 6 7 】

続いて、図 25 (b) に示すように、連続してレジストマスク 37 を用い、n 型 MOS 領域 11 に n 型不純物、ここでは砒素 (As) を加速エネルギーが 5 keV、ドーズ量が $6 \times 10^{14} / \text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、p 型不純物、ここではホウ素 (B) を加速エネルギーが 10 keV、ドーズ量が $8 \times 10^{12} / \text{cm}^2$ の条件で入射角 15° で 4 方向からイオン注入し、n 型エクステンション層 7 a 及び p 型ポケット層 8 a を形成する。

【 0 1 6 8 】

続いて、図 25 (c) に示すように、p 型不純物を p 型 MOS 領域 12 に対して斜めに注入し、ゲート電極 6 b の露出面 (上面 (幅 50 nm)) に不純物を導入する。

【 0 1 6 9 】

具体的には、レジストマスク 37 を灰化处理等により除去した後、n 型 MOS 領域 11 を覆い p 型ソース／ドレイン 10 b を斜めイオン注入から保護 (防御) する寸法の開口 38 a を有するレジストマスク 38 を形成する。ここで、レジストマスク 38 は高さ 120 nm 程度であり、開口 38 a はその一端がゲート電極 6 a の端から 80 nm となる領域である。フォトリソグラフィーに際し、開口 38 a を形成するときのレチクルの位置合わせを行う場合、STI により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、p 型 MOS 領域 12 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 2 keV、ドーズ量が $3 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回 (ゲート長に対して 45° の相異なる各 4 方向) のイオン注入を実行する。

【 0 1 7 0 】

この場合、上記の条件による1回のイオン注入により、ゲート電極6 bにはその上面から一側面の上位にかけて、注入角度が 0° の場合の2回分に相当する不純物導入がなされる。このとき、一対のp型ソース/ドレイン1 0 bはレジストマスク3 8により当該イオン注入から保護されるため、不純物導入が防止される。

【0 1 7 1】

続いて、図2 5 (d)に示すように、連続してレジストマスク3 8を用い、p型MOS領域1 2にp型不純物、ここではホウ素(B)を加速エネルギーが0.5 k e V、ドーズ量が $6 \times 10^{14} / \text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、n型不純物、ここでは砒素(As)を加速エネルギーが5 0 k e V、ドーズ量が $6 \times 10^{12} / \text{cm}^2$ の条件で入射角 15° で4方向からイオン注入し、p型エクステンション層7 b及びn型ポケット層8 bを形成する。

【0 1 7 2】

続いて、図2 6 (a)に示すように、レジストマスク3 8を灰化处理等により除去した後、エクステンション層7 a、7 b及びポケット層8 a、8 bの不純物導入により生じた欠陥を回復させるため、半導体基板1をアニール処理(R T A、 1000°C 、1秒)する。

【0 1 7 3】

続いて、図2 6 (b)に示すように、CVD法により全面にシリコン酸化膜(不図示)を堆積し、これを全面異方性エッチングすることにより、ゲート電極6 a、6 bの両側面のみにシリコン酸化膜を残し、最大幅が8 0 n m程度のサイドウォール9 a、9 bをそれぞれ形成する。

【0 1 7 4】

続いて、図2 6 (c)に示すように、p型MOS領域1 2を覆うレジストマスク1 8を形成し、n型MOS領域1 1にn型不純物、ここではリン(P)を加速エネルギーが8 k e V、ドーズ量が $6 \times 10^{15} / \text{cm}^2$ 、注入角度(基板表面に対して垂直方向の場合を 0° となる。)が 0° の条件でイオン注入し、n型ソース/ドレイン1 0 aを形成する。このとき同時に、ゲート電極6 aにもリンがイオン注入される。

【 0 1 7 5 】

この場合、ゲート電極 6 a には、前記 4 回の斜めイオン注入に加え、前記注入角度 0° のイオン注入により、 $5 \times 10^{14} / \text{cm}^2$ の 8 回分に相当する不純物導入及び $6 \times 10^{15} / \text{cm}^2$ の不純物導入がなされ、合計で $1 \times 10^{16} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各 n 型ソース／ドレイン 1 0 a には、 $5 \times 10^{15} / \text{cm}^2$ のみの不純物導入がなされ、通常のソース／ドレイン形成時と同様のドーズ量のリンがイオン注入される。

【 0 1 7 6 】

続いて、レジストマスク 1 8 を灰化处理等により除去した後、図 2 6 (d) に示すように、n 型 MOS 領域 1 1 を覆うレジストマスク 1 9 を形成し、p 型 MOS 領域 1 2 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 4 k e V、ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、p 型ソース／ドレイン 1 0 b を形成する。このとき同時に、ゲート電極 6 b にもホウ素がイオン注入される。

【 0 1 7 7 】

この場合、ゲート電極 6 b には、前記 4 回の斜めイオン注入に加え、前記注入角度 0° のイオン注入により、 $2.5 \times 10^{14} / \text{cm}^2$ の 8 回分に相当する不純物導入及び $3 \times 10^{15} / \text{cm}^2$ の不純物導入がなされ、合計で $5 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各 p 型ソース／ドレイン 1 0 b には、 $3 \times 10^{15} / \text{cm}^2$ のみの不純物導入がなされ、通常のソース／ドレイン形成時と同様のドーズ量のホウ素がイオン注入される。

【 0 1 7 8 】

続いて、レジストマスク 1 9 を灰化处理等により除去した後、図 2 7 (a) に示すように、ゲート電極 6 a、6 b 及びソース／ドレイン 1 0 a、1 0 b の不純物導入により生じた欠陥を回復させ、更に不純物を活性化させるため、半導体基板 1 をアニール処理 (RTA、 1030°C 、1 秒) する。

【 0 1 7 9 】

続いて、図 2 7 (b) に示すように、全面にシリサイド金属、ここでは Co を堆積させ、熱処理することによりシリサイド化させた後、未反応の Co を除去す

ることにより、ゲート電極 6 a, 6 b の露出面及びソース／ドレイン 1 0 a, 1 0 b の表面に CoSi_2 層 2 3 を形成する。

【0 1 8 0】

しかる後、図 2 7 (c) に示すように、全面に層間絶縁膜 2 4 を堆積し、コンタクト孔 2 5 を介した配線 2 6 を形成し、諸々の後工程を経て、CMOS トランジスタを完成させる。

【0 1 8 1】

以上説明したように、本実施形態によれば、斜め 45° からのイオン注入を 4 方向から実行することにより、不純物濃度をゲート電極 6 a, 6 b の方がソース／ドレイン 1 0 a, 1 0 b よりも高くなるように制御することができる。本例では、ゲート電極 6 a, 6 b の不純物濃度がソース／ドレイン 1 0 a, 1 0 b よりも 6 6 % 程度増量される。本実施形態では、ソース／ドレイン 1 0 a, 1 0 b の不純物濃度を通常の場合と変えることなく、ゲート電極 6 a, 6 b の不純物濃度を増加させることができる。これにより、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、信頼性の高い CMOS トランジスタが実現される。

【0 1 8 2】

更に、前記斜めイオン注入を行う際に、レジストマスク 3 5, 3 6 によりソース／ドレイン 1 0 a, 1 0 b にはイオン注入がなされず、ゲート電極 6 a, 6 b のみにイオン注入されるため、ゲート電極 6 a, 6 b をソース／ドレイン 1 0 a, 1 0 b よりも確実に高不純物濃度に制御することが可能となる。

【0 1 8 3】

更に、ソース／ドレイン 1 0 a, 1 0 b 及びゲート電極 6 a, 6 b に導入される不純物の量は、第 5 の実施形態の場合と同じであるにも係わらず、サイドウォール 9 a, 9 b の薄膜化のためのオーバーエッチングを省略でき、エクステンション層 7 a, 7 b 及びポケット層 8 a, 8 b を形成するためのフォトリソグラフィ工程を省略することができ、更なる製造コストの削減が可能になる。

【0 1 8 4】

(変形例)

ここで、第 7 の実施形態の変形例について説明する。

図 2 8 及び図 2 9 は、第 7 の実施形態における変形例の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

本変形例では、図 2 5 (b) と同様に、レジストマスク 3 7 を用いたゲート電極 6 a への斜めイオン注入を行う (図 2 8 (a))。

【0 1 8 5】

続いて、図 2 8 (b) に示すように、レジストマスク 3 7 をトリミングし、開口 3 7 a をその一端がゲート電極 6 a の端から 1 0 0 n m となるように拡大する。

【0 1 8 6】

この状態で、図 2 8 (c) に示すように、n 型 MOS 領域 1 1 に n 型不純物、ここでは砒素 (A s) を加速エネルギーが 5 k e V、ドーズ量が $6 \times 10^{14} / \text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、p 型不純物、ここではホウ素 (B) を加速エネルギーが 1 0 k e V、ドーズ量が $8 \times 10^{12} / \text{cm}^2$ の条件で入射角 30° で 4 方向からイオン注入し、n 型エクステンション層 7 a 及び p 型ポケット層 8 a を形成する。

【0 1 8 7】

続いて、レジストマスク 3 7 を灰化处理等により除去した後、図 2 5 (c) と同様に、レジストマスク 3 8 を用いたゲート電極 6 b への斜めイオン注入を行う (図 2 9 (a))。

【0 1 8 8】

続いて、図 2 9 (b) に示すように、レジストマスク 3 8 をトリミングし、開口 3 7 a をその一端がゲート電極 6 a の端から 1 0 0 n m となるように拡大する。

【0 1 8 9】

この状態で、図 2 9 (c) に示すように、p 型 MOS 領域 1 2 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 0. 5 k e V、ドーズ量が $6 \times 10^{14} / \text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、n 型不純物、ここでは砒素 (A s) を加速エネルギーが 5 0 k e V、ドーズ量が $6 \times 10^{12} / \text{cm}^2$ の

条件で入射角 30° で 4 方向からイオン注入し、p 型エクステンション層 7 b 及び n 型ポケット層 8 b を形成する。

【0190】

そして、レジストマスク 3 8 を灰化处理等により除去した後、第 7 の実施形態図 2 6 及び図 2 7 と同様の各工程を経て、CMOS トランジスタを完成させる。

【0191】

本変形例によれば、第 7 の実施形態の奏する諸効果に加え、前記斜めイオン注入を防止する観点からエクステンション層 7 a, 7 b 及び n 型ポケット層 8 a, 8 b のサイズを規制することなく、レジストマスク 3 7, 3 8 のトリミングにより高い自由度で所望のサイズに拡張したエクステンション層 7 a, 7 b 及び n 型ポケット層 8 a, 8 b を形成することが可能となる。

【0192】

(第 8 の実施形態)

図 3 0 ～図 3 2 は、第 8 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

本実施形態では、先ず第 1 の実施形態と同様に図 4 (a) ～図 5 (c) の各工程を経て、ゲート電極 6 a, 6 b をパターン形成する (図 3 0 (a))。

【0193】

続いて、図 3 0 (b) に示すように、n 型不純物を n 型 MOS 領域 1 1 に対して斜めに注入し、ゲート電極 6 a の露出面 (上面 (幅 5 0 nm)) に不純物を導入する。

【0194】

具体的には、p 型 MOS 領域 1 2 を覆い n 型ソース/ドレイン 1 0 a を斜めイオン注入から保護 (防御) する寸法の開口 3 5 a を有するレジストマスク 3 5 を形成する。ここで、レジストマスク 3 5 は高さ 1 2 0 nm 程度であり、開口 3 5 a はその一端がゲート電極 6 a の端から 8 0 nm となる領域である。フォトリソグラフィに際し、開口 3 5 a を形成するときのレチクルの位置合わせを行う場合、STI により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、n 型 MOS 領域 1 1 に

n 型不純物、ここではリン (P) を加速エネルギーが 4 k e V、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回 (ゲート長に対して 45° の相異なる各 4 方向) の斜めイオン注入を実行する。

【 0 1 9 5 】

この場合、ゲート電極 6 a においてその上面と一側面の上位とでほぼ同等の露出面積であるため、上記の条件による 1 回のイオン注入により、ゲート電極 6 a にはその上面から一側面の上位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入がなされる。このとき、一対の n 型ソース / ドレイン 1 0 a はレジストマスク 3 5 により当該イオン注入から保護されるため、不純物導入が防止される。

【 0 1 9 6 】

続いて、図 3 0 (c) に示すように、p 型不純物を p 型 MOS 領域 1 2 に対して斜めに注入し、ゲート電極 6 b の露出面 (上面 (幅 5 0 n m)) に不純物を導入する。

【 0 1 9 7 】

具体的には、レジストマスク 3 5 を灰化处理等により除去した後、n 型 MOS 領域 1 1 を覆い p 型ソース / ドレイン 1 0 b を斜めイオン注入から保護 (防御) する寸法の開口 3 6 a を有するレジストマスク 3 6 を形成する。ここで、レジストマスク 3 6 は高さ 1 2 0 n m 程度であり、開口 3 6 a はその一端がゲート電極 6 a の端から 8 0 n m となる領域である。フォトリソグラフィーに際し、開口 3 6 a を形成するときのレチクルの位置合わせを行う場合、STI により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、p 型 MOS 領域 1 2 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 2 k e V、ドーズ量が $2.5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回 (ゲート長に対して 45° の相異なる各 4 方向) のイオン注入を実行する。

【 0 1 9 8 】

この場合、上記の条件による1回のイオン注入により、ゲート電極6bにはその上面から一側面の上位にかけて、注入角度が 0° の場合の2回分に相当する不純物導入がなされる。このとき、一対のp型ソース/ドレイン10bはレジストマスク36により当該イオン注入から保護されるため、不純物導入が防止される。

【0199】

続いて、レジストマスク36を灰化处理等により除去した後、図30(d)に示すように、ゲート電極6a, 6bに導入された不純物を十分に拡散させ、且つ十分に活性化させるため、半導体基板1をアニール処理(RTA、 1050°C 、1秒)する。

【0200】

続いて、図31(a)に示すように、p型MOS領域12を覆うレジストマスク16を形成し、n型MOS領域11にn型不純物、ここでは砒素(As)を加速エネルギーが 5keV 、ドーズ量が $6 \times 10^{14}/\text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、p型不純物、ここではホウ素(B)を加速エネルギーが 10keV 、ドーズ量が $8 \times 10^{12}/\text{cm}^2$ の条件で入射角 30° で4方向からイオン注入し、n型エクステンション層7a及びp型ポケット層8aを形成する。

【0201】

続いて、レジストマスク16を灰化处理等により除去した後、図31(b)に示すように、n型MOS領域11を覆うレジストマスク17を形成し、p型MOS領域12にp型不純物、ここではホウ素(B)を加速エネルギーが 0.5keV 、ドーズ量が $6 \times 10^{14}/\text{cm}^2$ の条件で垂直入射にてイオン注入するとともに、n型不純物、ここでは砒素(As)を加速エネルギーが 50keV 、ドーズ量が $6 \times 10^{12}/\text{cm}^2$ の条件で入射角 30° で4方向からイオン注入し、p型エクステンション層7b及びn型ポケット層8bを形成する。

【0202】

続いて、図31(c)に示すように、レジストマスク17を灰化处理等により除去した後、エクステンション層7a, 7b及びポケット層8a, 8bの不純物

導入により生じた欠陥を回復させるため、半導体基板 1 をアニール処理 (R T A、1 0 0 0℃、1 秒) する。

【 0 2 0 3 】

続いて、図 3 1 (d) に示すように、C V D 法により全面にシリコン酸化膜 (不図示) を堆積し、これを全面異方性エッチングすることにより、ゲート電極 6 a、6 b の両側面のみにシリコン酸化膜を残し、最大幅が 8 0 n m 程度のサイドウォール 9 a、9 b をそれぞれ形成する。

【 0 2 0 4 】

続いて、図 3 2 (a) に示すように、p 型 M O S 領域 1 2 を覆うレジストマスク 1 8 を形成し、n 型 M O S 領域 1 1 に n 型不純物、ここではリン (P) を加速エネルギーが 8 k e V、ドーズ量が $6 \times 10^{15} / \text{cm}^2$ 、注入角度 (基板表面に対して垂直方向の場合を 0° となる。) が 0° の条件でイオン注入し、n 型ソース / ドレイン 1 0 a を形成する。このとき同時に、ゲート電極 6 a にもリンがイオン注入される。

【 0 2 0 5 】

この場合、ゲート電極 6 a には、前記 4 回の斜めイオン注入に加え、前記注入角度 0° のイオン注入により、 $5 \times 10^{14} / \text{cm}^2$ の 8 回分に相当する不純物導入及び $6 \times 10^{15} / \text{cm}^2$ の不純物導入がなされ、合計で $1 \times 10^{16} / \text{cm}^2$ のドーズ量のリンがイオン注入される。これに対して、各 n 型ソース / ドレイン 1 0 a には、 $6 \times 10^{15} / \text{cm}^2$ のみの不純物導入がなされ、通常のソース / ドレイン形成時と同様のドーズ量のリンがイオン注入される。

【 0 2 0 6 】

続いて、レジストマスク 1 8 を灰化处理等により除去した後、図 3 2 (b) に示すように、n 型 M O S 領域 1 1 を覆うレジストマスク 1 9 を形成し、p 型 M O S 領域 1 2 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 4 k e V、ドーズ量が $3 \times 10^{15} / \text{cm}^2$ 、注入角度が 0° の条件でイオン注入し、p 型ソース / ドレイン 1 0 b を形成する。このとき同時に、ゲート電極 6 b にもホウ素がイオン注入される。

【 0 2 0 7 】

この場合、ゲート電極 6 b には、前記 4 回の斜めイオン注入に加え、前記注入角度 0° のイオン注入により、 $2.5 \times 10^{14} / \text{cm}^2$ の 8 回分に相当する不純物導入及び $3 \times 10^{15} / \text{cm}^2$ の不純物導入がなされ、合計で $5 \times 10^{15} / \text{cm}^2$ のドーズ量のホウ素がイオン注入される。これに対して、各 p 型ソース／ドレイン 10 b には、 $3 \times 10^{15} / \text{cm}^2$ のみの不純物導入がなされ、通常のソース／ドレイン形成時と同様のドーズ量のホウ素がイオン注入される。

【0208】

続いて、レジストマスク 19 を灰化处理等により除去した後、図 3 2 (c) に示すように、ゲート電極 6 a, 6 b 及びソース／ドレイン 10 a, 10 b の不純物導入により生じた欠陥を回復させ、更に不純物を活性化させるため、半導体基板 1 をアニール処理 (RTA、 1020°C 、1 秒) する。このように本例の場合、図 3 0 (d) でゲート電極 6 a, 6 b に導入した不純物を活性化しているため、アニール温度を 1030°C から 1020°C に低減させることができるため、エクステンション層 7 a, 7 b 及びポケット層 8 a, 8 b の不純物拡散を抑え、ショートチャネル効果が更に抑制される。

【0209】

続いて、図 3 2 (d) に示すように、全面にシリサイド金属、ここでは Co を堆積させ、熱処理することによりシリサイド化させた後、未反応の Co を除去することにより、ゲート電極 6 a, 6 b の露出面及びソース／ドレイン 10 a, 10 b の表面に CoSi_2 層 23 を形成する。

【0210】

しかる後、全面に層間絶縁膜 24 を堆積し、コンタクト孔 25 を介した配線 26 を形成し、諸々の後工程を経て、CMOS トランジスタを完成させる。

【0211】

以上説明したように、本実施形態によれば、斜め 45° からのイオン注入を 4 方向から実行することにより、不純物濃度をゲート電極 6 a, 6 b の方がソース／ドレイン 10 a, 10 b よりも高くなるように制御することができる。本例では、ゲート電極 6 a, 6 b の不純物濃度がソース／ドレイン 10 a, 10 b よりも 66 % 程度増量される。本実施形態では、ソース／ドレイン 10 a, 10 b の

不純物濃度を通常の場合と変えることなく、ゲート電極 6 a, 6 b の不純物濃度を増加させることができる。これにより、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、信頼性の高い CMOS トランジスタが実現される。

【 0 2 1 2 】

更に、前記斜めイオン注入を行う際に、レジストマスク 3 5, 3 6 によりソース／ドレイン 1 0 a, 1 0 b にはイオン注入がなされず、ゲート電極 6 a, 6 b のみにイオン注入されるため、ゲート電極 6 a, 6 b をソース／ドレイン 1 0 a, 1 0 b よりも確実に高不純物濃度に制御することが可能となる。

【 0 2 1 3 】

更に、ソース／ドレイン 1 0 a, 1 0 b 及びゲート電極 6 a, 6 b に導入される不純物の量は、第 5 の実施形態の場合と同じであるにも係わらず、サイドウォール 9 a, 9 b の薄膜化のためのオーバーエッチングを省略でき、製造コストを削減することが可能になる。それに加えて、ゲート電極 6 a, 6 b に前記斜めイオン注入を行った直後に半導体基板 1 をアニール処理するため、ゲート電極 6 a, 6 b のゲート絶縁膜 5 近傍における不純物濃度を高めることができる。

【 0 2 1 4 】

(第 9 の実施形態)

図 3 3 及び図 3 4 は、第 9 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

本実施形態では、先ず第 1 の実施形態と同様に図 4 (a) ～図 5 (c) の各工程を経て、ゲート電極 6 a, 6 b をパターン形成する (図 3 3 (a))。

【 0 2 1 5 】

続いて、図 3 3 (b) に示すように、n 型不純物を n 型 MOS 領域 1 1 に対して斜めに注入し、ゲート電極 6 a の露出面 (上面 (幅 5 0 n m)) に不純物を導入する。

【 0 2 1 6 】

具体的には、p 型 MOS 領域 1 2 を覆い n 型ソース／ドレイン 1 0 a を斜めイオン注入から保護 (防御) する寸法の開口 3 5 a を有するレジストマスク 3 5 を

形成する。ここで、レジストマスク 3 5 は高さ 1 2 0 n m 程度であり、開口 3 5 a はその一端がゲート電極 6 a の端から 8 0 n m となる領域である。フォトリソグラフィに際し、開口 3 5 a を形成するときのレチクルの位置合わせを行う場合、S T I により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、n 型 M O S 領域 1 1 に n 型不純物、ここではリン (P) を加速エネルギーが 4 k e V、ドーズ量が $5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回 (ゲート長に対して 45° の相異なる各 4 方向) の斜めイオン注入を実行する。

【 0 2 1 7 】

この場合、ゲート電極 6 a においてその上面と一側面の上部位とでほぼ同等の露出面積であるため、上記の条件による 1 回のイオン注入により、ゲート電極 6 a にはその上面から一側面の上部位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入がなされる。このとき、一对の n 型ソース／ドレイン 1 0 a はレジストマスク 3 5 により当該イオン注入から保護されるため、不純物導入が防止される。

【 0 2 1 8 】

続いて、図 3 3 (c) に示すように、p 型不純物を p 型 M O S 領域 1 2 に対して斜めに注入し、ゲート電極 6 b の露出面 (上面 (幅 5 0 n m)) に不純物を導入する。

【 0 2 1 9 】

具体的には、レジストマスク 3 5 を灰化处理等により除去した後、n 型 M O S 領域 1 1 を覆い p 型ソース／ドレイン 1 0 b を斜めイオン注入から保護 (防御) する寸法の開口 3 6 a を有するレジストマスク 3 6 を形成する。ここで、レジストマスク 3 6 は高さ 1 2 0 n m 程度であり、開口 3 6 a はその一端がゲート電極 6 a の端から 8 0 n m となる領域である。フォトリソグラフィに際し、開口 3 6 a を形成するときのレチクルの位置合わせを行う場合、S T I により形成するマークの代わりにゲート電極をマークとして用いることにより、位置ずれを低減させることができる。そして、p 型 M O S 領域 1 2 に n 型不純物、ここではホウ

素 (B) を加速エネルギーが 2 keV 、ドーズ量が $2.5 \times 10^{14} / \text{cm}^2$ 、注入角度が 45° の条件でイオン注入する。この場合、前記イオン注入を全て異なる方向から 4 回 (ゲート長に対して 45° の相異なる各 4 方向) のイオン注入を実行する。

【 0 2 2 0 】

この場合、上記の条件による 1 回のイオン注入により、ゲート電極 6 b にはその上面から一側面の上位にかけて、注入角度が 0° の場合の 2 回分に相当する不純物導入がなされる。このとき、一对の p 型ソース/ドレイン 1 0 b はレジストマスク 3 6 により当該イオン注入から保護されるため、不純物導入が防止される。

【 0 2 2 1 】

続いて、レジストマスク 3 6 を灰化处理等により除去した後、図 3 3 (d) に示すように、p 型 MOS 領域 1 2 を覆うレジストマスク 4 1 を形成し、n 型 MOS 領域 1 1 に n 型不純物、ここではリン (P) を加速エネルギーが 5 keV 、ドーズ量が $8 \times 10^{14} / \text{cm}^2$ の条件でイオン注入して、n 型ソース/ドレイン 4 3 a を形成する。

【 0 2 2 2 】

続いて、レジストマスク 4 1 を灰化处理等により除去した後、図 3 4 (a) に示すように、n 型 MOS 領域 1 1 を覆うレジストマスク 4 2 を形成し、p 型 MOS 領域 1 2 に p 型不純物、ここではホウ素 (B) を加速エネルギーが 0.5 keV 、ドーズ量が $8 \times 10^{14} / \text{cm}^2$ の条件でイオン注入して、p 型ソース/ドレイン 4 3 b を形成する。

【 0 2 2 3 】

続いて、レジストマスク 4 2 を灰化处理等により除去した後、図 3 4 (b) に示すように、ゲート電極 6 a、6 b 及びソース/ドレイン 4 3 a、4 3 b に導入された不純物を十分に活性化させるため、半導体基板 1 をアニール処理 (RTA、 1030°C 、1 秒) する。

【 0 2 2 4 】

しかる後、全面に層間絶縁膜 2 4 を堆積し、コンタクト孔 2 5 を介した配線 2

6を形成し、諸々の後工程を経て、CMOSトランジスタを完成させる。

【0225】

以上説明したように、本実施形態によれば、斜め45°からのイオン注入を4方向から実行することにより、不純物濃度をゲート電極6a、6bの方がソース／ドレイン10a、10bよりも高くなるように制御することができる。本実施形態では、ソース／ドレイン10a、10bの不純物濃度を通常の場合と変えることなく、ゲート電極6a、6bの不純物濃度を増加させることができる。これにより、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、少ない工程数で信頼性の高いCMOSトランジスタが実現される。

【0226】

更に、前記斜めイオン注入を行う際に、レジストマスク35、36によりソース／ドレイン10a、10bにはイオン注入がなされず、ゲート電極6a、6bのみにイオン注入されるため、ゲート電極6a、6bをソース／ドレイン10a、10bよりも確実に高不純物濃度に制御することが可能となる。

【0227】

ここで、第1～第9の実施形態におけるゲート電極及びソース／ドレインのドーズ量を以下の表1にまとめて記載する。

【0228】

【表 1】

	nMOS		pMOS	
	ゲートに 注入される ドーズ量	S/Dに 注入される ドーズ量	ゲートに 注入される ドーズ量	S/Dに 注入される ドーズ量
従来	$6 \times 10^{15} (1/\text{cm}^2)$	6×10^{15}	3×10^{15}	3×10^{15}
第1の実施形態	$7.5 \times 10^{15} (1a)$	$6 \times 10^{15} (1b)$	$3.75 \times 10^{15} (1c)$	$3 \times 10^{15} (1d)$
変形例	$7.5 \times 10^{15} (2a)$	$6 \times 10^{15} (2b)$	$3.75 \times 10^{15} (2c)$	$3 \times 10^{15} (2d)$
第3の実施形態	$9 \times 10^{15} (3a)$	$6 \times 10^{15} (3b)$	$4.5 \times 10^{15} (3c)$	$3 \times 10^{15} (3d)$
第4の実施形態	$8 \times 10^{15} (4a)$	$6 \times 10^{15} (4b)$	$4 \times 10^{15} (4c)$	$3 \times 10^{15} (4d)$
変形例	$8 \times 10^{15} (5a)$	$6 \times 10^{15} (5b)$	$4 \times 10^{15} (5c)$	$3 \times 10^{15} (5d)$
第5の実施形態	$1 \times 10^{16} (6a)$	$6 \times 10^{15} (6b)$	$5 \times 10^{15} (6c)$	$3 \times 10^{15} (6d)$

(1a) $4.5 \times 10^{15} + 5 \times 10^{14} \times 6$ 回分(2a) $5.5 \times 10^{15} + 5 \times 10^{14} \times 4$ 回分(3a) $5 \times 10^{15} + 5 \times 10^{14} \times 8$ 回分(4a) $5 \times 10^{15} + 5 \times 10^{14} \times 6$ 回分(5a) $6 \times 10^{15} + 5 \times 10^{14} \times 4$ 回分(6a) $6 \times 10^{15} + 5 \times 10^{14} \times 8$ 回分(1b) $4.5 \times 10^{15} + 5 \times 10^{14} \times 3$ 回分(2b) $5.5 \times 10^{15} + 5 \times 10^{14} \times 1$ 回分(3b) $5 \times 10^{15} + 5 \times 10^{14} \times 2$ 回分(4b) $5 \times 10^{15} + 5 \times 10^{14} \times 2$ 回分(5b) 6×10^{15} (6b) 6×10^{15} (1c) $2.25 \times 10^{15} + 2.5 \times 10^{14} \times 6$ 回分(2c) $2.75 \times 10^{15} + 2.5 \times 10^{14} \times 4$ 回分(3c) $2.5 \times 10^{15} + 2.5 \times 10^{14} \times 8$ 回分(4c) $2.5 \times 10^{15} + 2.5 \times 10^{14} \times 6$ 回分(5c) $3 \times 10^{15} + 2.5 \times 10^{14} \times 4$ 回分(6c) $3 \times 10^{15} + 2.5 \times 10^{14} \times 8$ 回分(1d) $2.25 \times 10^{15} + 2.5 \times 10^{14} \times 3$ 回分(2d) $2.75 \times 10^{15} + 2.5 \times 10^{14} \times 1$ 回分(3d) $2.5 \times 10^{15} + 2.5 \times 10^{14} \times 2$ 回分(4d) $2.5 \times 10^{15} + 2.5 \times 10^{14} \times 2$ 回分(5d) 3×10^{15} (6d) 3×10^{15}

【 0 2 2 9 】

ー斜めイオン注入のレジストマスク及びゲート電極の具体的配置条件ー

ここで、上述した第4～第9の実施形態について、前記斜めイオン注入を行う際のレジストマスクの配置ルール、及び前記斜めイオン注入を見込んだゲート電極の配置ルールについて説明する。

【 0 2 3 0 】

[第4，第5の実施形態の場合]

第4，第5の実施形態において、ゲート電極6a，6b（以下、単にゲート電極と言う）に対するレジストマスク31～34（以下、単にレジストマスクと言

う) のルールの決め方を図 3 5 に示す。ここで、 $R_p 1$ は斜め注入の不純物を遮るのに十分なサイドウォール 9 a, 9 b (以下、単にサイドウォールと言う) の長さ、 $R_p 2$ は斜め注入の不純物を遮るために十分なレジストマスクの長さとする。

【 0 2 3 1 】

先ず、オーバーエッチング後のサイドウォールの形状から、斜めイオン注入によるサイドウォール中の不純物の飛程が $R_p 1$ より長くなるように $L 1'$ を決定する。次に、イオン注入によるレジストマスク中の飛程が $R_p 2$ より長くなるように $L 1''$ を決定する。そして、 $L 1'$ と $L 1''$ との短い方を $L 1$ として、ゲート電極とレジストパターンの位置合わせ誤差 ΔL を考慮して、ゲート電極とレジストマスクの距離のルールを $L 1 - \Delta L$ とする。

【 0 2 3 2 】

第 4, 第 5 の実施形態において、ゲート電極が並ぶ場合のルールの決め方を図 3 6, 図 3 7 に示す。

ここで、 $R_p 3$ は斜めイオン注入の不純物を遮るのに十分なゲート電極の長さとする。

【 0 2 3 3 】

先ず、オーバーエッチング後のサイドウォールの形状から、斜めイオン注入によるサイドウォール中の不純物の飛程が $R_p 1$ より長くなるように $L 2'$ を定義する。次に、斜めイオン注入によるゲート電極中の不純物の飛程が $R_p 3$ より長くなるように $L 2'''$ を定義する。そして、 $L 2'$ と $L 2'''$ との短い方を $L 2$ とする。ここで、レジストパターン 1 1 1 が形成できる最小幅を $L 3$ として、隣接するゲート電極の間隔が $2 (L 1 - \Delta L) + L 3$ より長いときには、隣接するゲート電極間に図 3 7 のルールでレジストパターン 1 1 1 を形成する。

【 0 2 3 4 】

他方、隣接するゲート電極の間隔が上記の $2 (L 1 - \Delta L) + L 3$ より短く、且つ $L 2$ より長いときには、隣接するゲート電極間を幅 $L 3$ のレジストパターン 1 1 1 で埋める必要がある。隣接するゲート電極の間隔が $L 2$ より短いときには、隣接するゲート電極間にレジストパターン 1 1 1 を形成する必要はない。

【 0 2 3 5 】

〔第 6 ～ 第 9 の実施形態の場合〕

第 6 ～ 第 9 の実施形態において、ゲート電極に対するレジストマスク 3 5 ～ 3 8, 4 1, 4 2 (以下、単にレジストマスクと言う) のルールの決め方を図 3 8 に示す。ここで、 $R_p 2$ は斜めイオン注入の不純物を遮るのに十分なレジストマスクの長さ、 $R_p 3$ は斜めイオン注入の不純物を遮るのに十分なゲート電極の長さとする。

【 0 2 3 6 】

まず、レジストマスク中の飛程が $R_p 2$ より長くなるように $L 1''$ を決定する。次に、ゲート電極中の飛程が $R_p 3$ より長くなるように $L 1'''$ を決定する。そして、 $L 1''$ と $L 1'''$ との短い方を $L 1$ として、ゲート電極とレジストマスクの位置合わせ誤差 ΔL を考慮して、ゲート電極とレジストマスクの距離のルールを $L 1 - \Delta L$ とする。

【 0 2 3 7 】

第 6 ～ 第 9 の実施形態において、ゲート電極が並ぶ場合のルールの決め方を図 3 9, 図 4 0 に示す。ここで、 $R_p 3$ は斜めイオン注入の不純物を遮るのに十分なゲート電極の長さとする。

【 0 2 3 8 】

まず、斜めイオン注入によるゲート電極中の不純物の飛程が $R_p 3$ より長くなるように $L 2$ を定義する。次に、隣接するゲート電極の間隔が $2 (L 1 - \Delta L) + L 3$ より長いときには、隣接するゲート電極間に図 4 0 のルールでレジストマスクの一部であるレジストパターン 1 1 1 を形成する。 $L 3$ はレジストパターン 1 1 1 が形成できる最小幅である。

【 0 2 3 9 】

他方、隣接するゲート電極の間隔が上記の $2 (L 1 - \Delta L) + L$ より短く、且つ $L 2$ より長いときには、隣接するゲート電極間を幅 $L 3$ のレジストパターン 1 1 1 で埋める必要がある。隣接するゲート電極の間隔が $L 2$ より短いときには、隣接するゲート電極間にレジストパターン 1 1 1 を形成する必要はない。

【 0 2 4 0 】

(その他の実施形態)

本実施形態では、図 3 5 ～ 図 4 0 で説明したルールでレジストマスクを作製する C A D ソフトを実現する。これにより、斜め注入で導入する不純物がソース／ドレイン領域に入るのを抑えるレジスト用のレチクルを簡便に作成することが可能になる。これは、例えばコンピュータの R A M や R O M などに記憶されたプログラムが動作することによって実現できる。このプログラム及び当該プログラムを記録したコンピュータ読み取り可能な記憶媒体は本発明に含まれる。

【 0 2 4 1 】

具体的に、前記プログラムは、例えば C D - R O M のような記録媒体に記録し、或いは各種伝送媒体を介し、コンピュータに提供される。前記プログラムを記録する記録媒体としては、C D - R O M 以外に、フレキシブルディスク、ハードディスク、磁気テープ、光磁気ディスク、不揮発性メモリカード等を用いることができる。他方、前記プログラムの伝送媒体としては、プログラム情報を搬送波として伝搬させて供給するためのコンピュータネットワーク（L A N、インターネットの等の W A N、無線通信ネットワーク等）システムにおける通信媒体（光ファイバ等の有線回線や無線回線等）を用いることができる。

【 0 2 4 2 】

また、コンピュータが供給されたプログラムを実行することにより上述の実施形態の機能が実現されるだけでなく、そのプログラムがコンピュータにおいて稼働している O S（オペレーティングシステム）或いは他のアプリケーションソフト等と共同して上述の実施形態の機能が実現される場合や、供給されたプログラムの処理の全て或いは一部がコンピュータの機能拡張ボードや機能拡張ユニットにより行われて上述の実施形態の機能が実現される場合も、かかるプログラムは本発明に含まれる。

【 0 2 4 3 】

例えば、図 4 1 は、一般的なパーソナルユーザ端末装置の内部構成を示す模式図である。この図 4 1 において、1 2 0 0 はコンピュータ P C である。P C 1 2 0 0 は、C P U 1 2 0 1 を備え、R O M 1 2 0 2 又はハードディスク（H D）1 2 1 1 に記憶された、或いはフレキシブルディスクドライブ（F D）1 2 1 2 よ

り供給されるデバイス制御ソフトウェアを実行し、システムバス 1 2 0 4 に接続される各デバイスを総括的に制御する。

【 0 2 4 4 】

以下、本発明の諸態様を付記としてまとめて記載する。

【 0 2 4 5 】

(付記 1) 半導体基板の上方にゲート電極をパターン形成する第 1 の工程と、
前記ゲート電極の両側面のみを覆うサイドウォールを形成する第 2 の工程と、
前記サイドウォールの上部位を除去し、前記ゲート電極の両側面の一部を露出させる第 3 の工程と、

前記ゲート電極に前記半導体基板の表面に対して斜めに不純物を導入する第 4 の工程と

を含むことを特徴とする半導体装置の製造方法。

【 0 2 4 6 】

(付記 2) 前記第 4 の工程における前記斜めからの不純物導入を方向を変えて複数回行うことを特徴とする付記 1 に記載の半導体装置の製造方法。

【 0 2 4 7 】

(付記 3) 前記第 4 の工程において前記サイドウォールの上部位を除去する際に、前記サイドウォールと前記半導体基板に形成された素子分離構造とのエッチングレートを相異ならしめるように、前記サイドウォールと前記素子分離構造とを相異なる材質で形成することを特徴とする付記 1 又は 2 に記載の半導体装置の製造方法。

【 0 2 4 8 】

(付記 4) 前記第 4 の工程の後、前記サイドウォールを再び前記ゲート電極の両側面を覆う大きさに形成することを特徴とする付記 1 ～ 3 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 2 4 9 】

(付記 5) 前記第 4 の工程において、前記ゲート電極の両側におけるソース／ドレイン形成部位を前記斜めからの不純物導入から保護する寸法の開口を有するマスクを形成し、前記斜めからの不純物導入を行うことを特徴とする付記 1 ～ 4

のいずれか 1 項に記載の半導体装置の製造方法。

【 0 2 5 0 】

(付記 6) 前記第 1 の工程の後、前記第 2 の工程の前に、前記ゲート電極の両側におけるソース／ドレイン形成部位に不純物を浅く導入する第 5 の工程と、

前記第 2 の工程の後、前記ソース／ドレイン形成部位に不純物を深く導入する第 6 の工程と

を更に含むことを特徴とする付記 1 ～ 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 2 5 1 】

(付記 7) 前記第 4 の工程における前記斜めからの不純物導入の加速エネルギーを前記第 6 の工程における不純物導入の加速エネルギーよりも低く設定することを特徴とする付記 6 に記載の半導体装置の製造方法。

【 0 2 5 2 】

(付記 8) 前記第 4 の工程における前記斜めからの不純物導入の角度を 45° とすることを特徴とする付記 1 ～ 7 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 2 5 3 】

(付記 9) 半導体基板の上方にゲート電極をパターン形成する第 1 の工程と、前記ゲート電極を露出させる開口を有するマスクを形成する第 2 の工程と、

前記ゲート電極に前記半導体基板の表面に対して斜めに不純物を導入する第 3 の工程と

を含み、

前記第 2 の工程において、前記マスクの前記開口を、前記ゲート電極の両側におけるソース／ドレイン形成部位を前記斜めからの不純物導入から保護する寸法に形成することを特徴とする半導体装置の製造方法。

【 0 2 5 4 】

(付記 10) 前記第 3 の工程における前記斜めからの不純物導入を行った後、前記マスクを用いて前記ソース／ドレイン形成部位に不純物を浅く導入する第 4 の工程と、

前記ゲート電極の両側面のみを覆うサイドウォールを形成し、前記ソース／ドレイン形成部位に不純物を深く導入する 5 の工程と

を更に含むことを特徴とする付記 9 に記載の半導体装置の製造方法。

【 0 2 5 5 】

(付記 1 1) 前記第 3 の工程における前記斜めからの不純物導入の加速エネルギーを前記第 5 の工程における不純物導入の加速エネルギーよりも低く設定することを特徴とする付記 1 0 に記載の半導体装置の製造方法。

【 0 2 5 6 】

(付記 1 2) 前記第 3 の工程における前記斜めからの不純物導入の角度を 4 5 ° とすることを特徴とする付記 9 ～ 1 1 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 2 5 7 】

(付記 1 3) ゲート電極及びソース／ドレインを有する半導体装置であって、前記ゲート電極の両側面の下部位のみを覆うサイドウォールを含み、前記ゲート電極の露出表面にシリサイド膜が形成されており、前記ゲート電極は前記ソース／ドレインと同一導電型の不純物を含有し、前記ゲート電極の不純物濃度が、前記ソース／ドレインの不純物濃度よりも高いことを特徴とする半導体装置。

【 0 2 5 8 】

(付記 1 4) 前記シリサイド膜は、前記ゲート電極の上面から両側面の上部位にかけて形成されていることを特徴とする付記 1 3 に記載の半導体装置。

【 0 2 5 9 】

(付記 1 5) 前記サイドウォールは、酸化膜のみからなることを特徴とする付記 1 3 又は 1 4 に記載の半導体装置。

【 0 2 6 0 】

(付記 1 6) ゲート電極に半導体基板の表面に対して斜めに不純物を導入するに際して、

前記半導体基板を覆うレジストに、前記ゲート電極の両側におけるソース／ドレイン形成部位を前記斜めからの不純物導入から保護する寸法の開口を自動形成する手順をコンピュータに実行させるためのプログラム。

【 0 2 6 1 】

(付記 1 7) 付記 1 6 に記載のプログラムを記録したことを特徴とするコンピュータ読み取り可能な記録媒体。

【 0 2 6 2 】

【発明の効果】

本発明によれば、ソース／ドレインの不純物濃度を増加させることなくゲート電極中の不純物濃度を高め、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させ、ゲート空乏化を抑えてオン電流を増加させることが可能となる。

【図面の簡単な説明】

【図 1】

第 1 の手法の主要原理を示す概略断面図である。

【図 2】

第 2 の手法の主要原理を示す概略断面図である。

【図 3】

第 1 の手法と第 2 の手法とを組み合わせた例を示す概略断面図である。

【図 4】

第 1 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 5】

図 4 に引き続き、第 1 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 6】

図 5 に引き続き、第 1 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 7】

図 6 に引き続き、第 1 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 8】

図 7 に引き続き、第 1 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 9】

斜めイオン注入を行う様子を示す概略平面図である。

【図 1 0】

第 1 の実施形態の CMOS トランジスタの変形例を工程順に示す概略断面図である。

【図 1 1】

第 2 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 1 2】

第 3 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 1 3】

図 1 2 に引き続き、第 3 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 1 4】

斜めイオン注入を行う様子を示す概略平面図である。

【図 1 5】

第 4 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 1 6】

図 1 5 に引き続き、第 4 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 1 7】

斜めイオン注入を行う様子を示す概略平面図である。

【図 1 8】

第 5 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 1 9】

図 1 8 に引き続き、第 5 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 2 0】

斜めイオン注入を行う様子を示す概略平面図である。

【図 2 1】

第 6 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 2 2】

図 2 1 に引き続き、第 6 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 2 3】

図 2 2 に引き続き、第 6 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 2 4】

斜めイオン注入を行う様子を示す概略平面図である。

【図 2 5】

第 7 の実施形態の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 2 6】

図 2 5 に引き続き、第 7 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 2 7】

図 2 6 に引き続き、第 7 の実施形態の CMOS トランジスタの製造方法を工程順に示す概略断面図である。

【図 2 8】

第 7 の実施形態における変形例の CMOS トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 2 9】

図 2 8 に引き続き、第 7 の実施形態における変形例の C M O S トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 3 0】

第 8 の実施形態の C M O S トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 3 1】

図 3 0 に引き続き、第 8 の実施形態の C M O S トランジスタの製造方法を工程順に示す概略断面図である。

【図 3 2】

図 3 1 に引き続き、第 8 の実施形態の C M O S トランジスタの製造方法を工程順に示す概略断面図である。

【図 3 3】

第 9 の実施形態の C M O S トランジスタの製造方法における主要工程を順に示す概略断面図である。

【図 3 4】

図 3 3 に引き続き、第 9 の実施形態の C M O S トランジスタの製造方法を工程順に示す概略断面図である。

【図 3 5】

第 4，第 5 の実施形態において、ゲート電極に対するレジストマスクのルール決め方を示す模式図である。

【図 3 6】

第 4，第 5 の実施形態において、ゲート電極が並ぶ場合のルールの決め方を示す模式図である。

【図 3 7】

第 4，第 5 の実施形態において、ゲート電極が並ぶ場合のルールの決め方を示す特性図である。

【図 3 8】

第 6 ～第 9 の実施形態において、ゲート電極に対するレジストマスクのルール決め方を示す模式図である。

【図 3 9】

第 6 ～ 第 9 の実施形態において、ゲート電極が並ぶ場合のルールを決め方を示す模式図である。

【図 4 0】

第 6 ～ 第 9 の実施形態において、ゲート電極が並ぶ場合のルールを決め方を示す特性図である。

【図 4 1】

一般的なパーソナルユーザ端末装置の内部構成を示す模式図である。

【符号の説明】

- 1, 1 0 1 半導体基板
- 2 S T I 素子分離構造
- 3 p ウェル
- 4 n ウェル
- 5 ゲート絶縁膜
- 6 a, 6 b, 1 0 2 ゲート電極
- 7 a, 7 b エクステンション層
- 8 a, 8 b ポケット層
- 9 a, 9 b, 2 0 a, 2 0 b, 1 0 3 サイドウォール
- 1 0 a, 1 0 b, 4 3 a, 4 3 b ソース／ドレイン
- 1 1 n 型 M O S 領域
- 1 2 p 型 M O S 領域
- 1 3, 1 4, 1 6, 1 7, 1 8, 1 9, 2 1, 2 2, 3 1, 3 2, 3 3, 3 4, 3 5, 3 6, 3 7, 3 8, 4 1, 4 2, 1 0 5 レジストマスク
- 1 5 多結晶シリコン膜
- 2 3 C o S i ₂ 層
- 2 4 層間絶縁膜
- 2 5 コンタクト孔
- 2 6 配線
- 2 7 シリコン酸化膜

3 1 a, 3 2 a, 3 3 a, 3 4 a, 3 5 a, 3 6 a, 3 7 a, 3 8 a, 4 1 a,
4 2 a, 1 0 5 a 開口

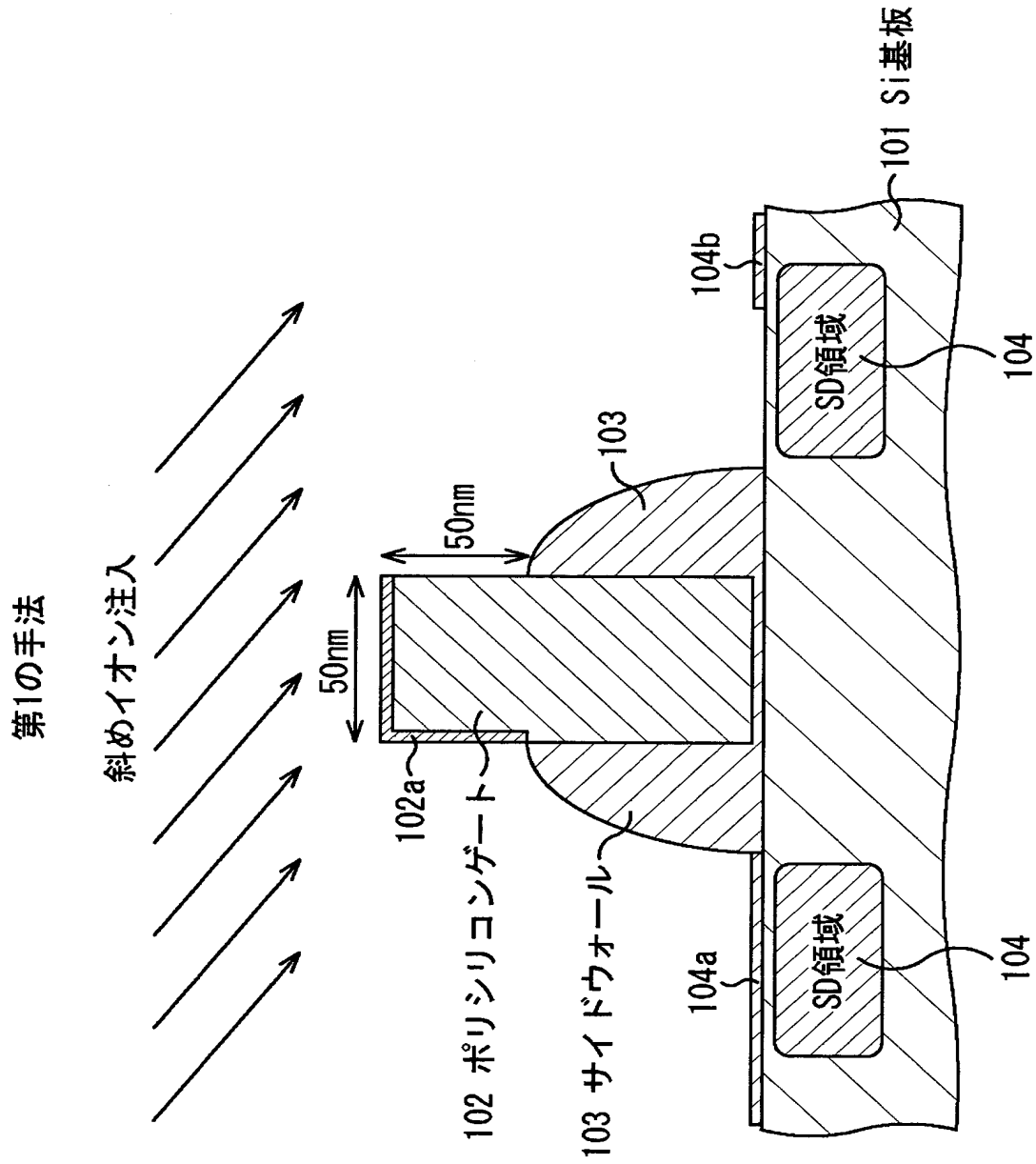
1 0 4 S/D領域

1 1 1 レジストパターン

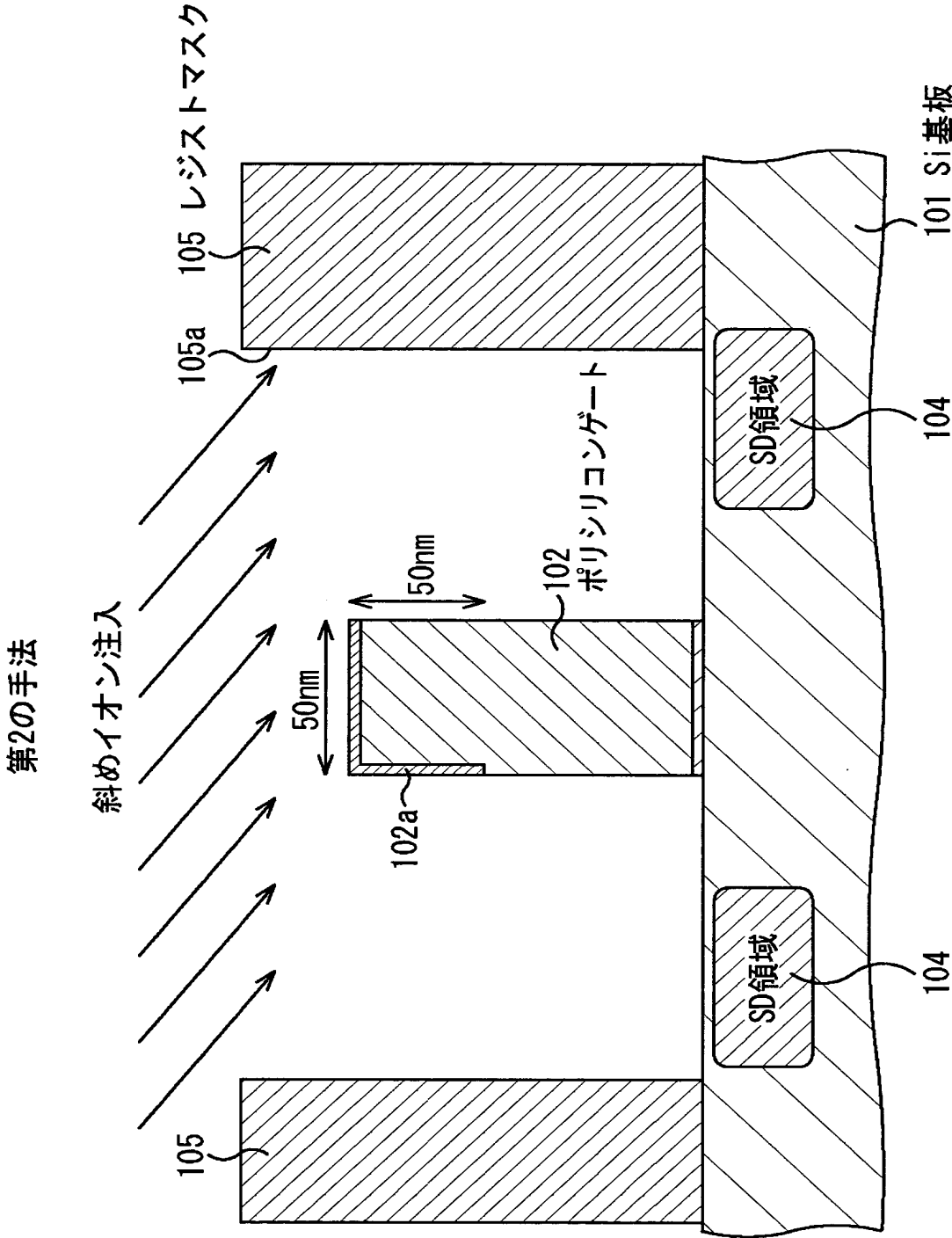
【書類名】

図面

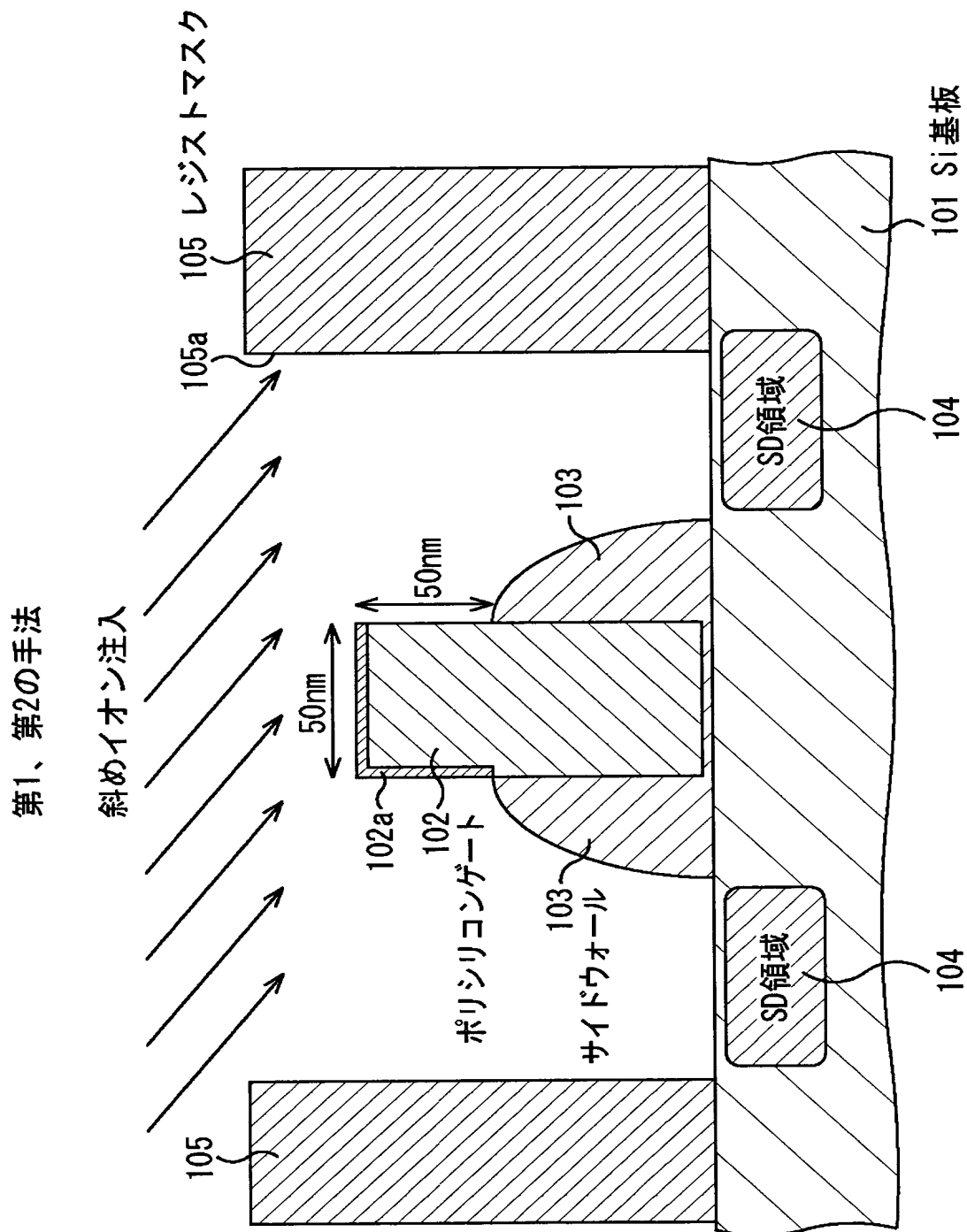
【図 1】



【図 2】

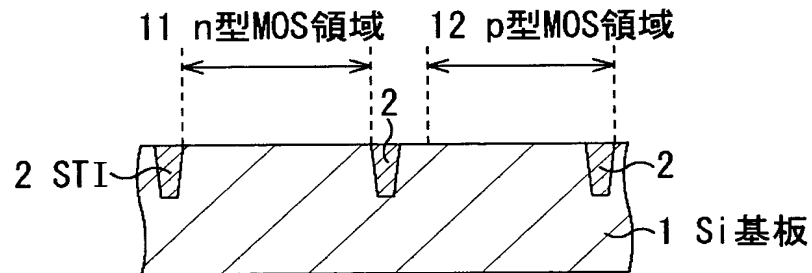


【図3】

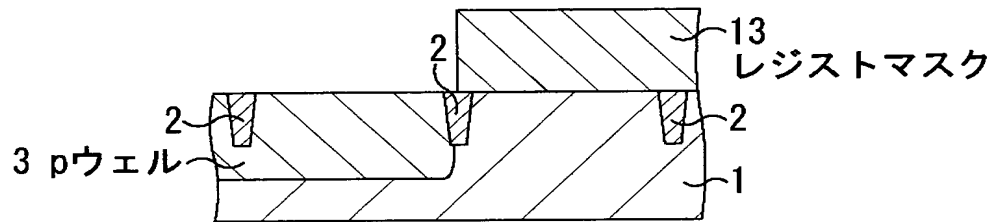


【図 4】

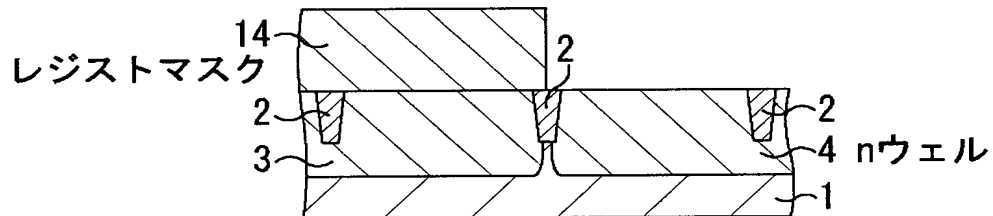
第1の実施形態



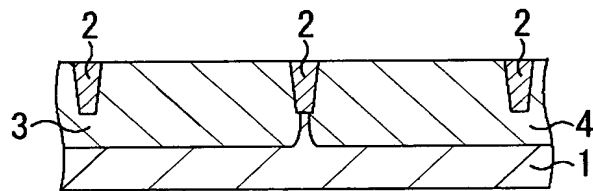
(a) STI形成



(b) nMOSウェル、チャネル注入



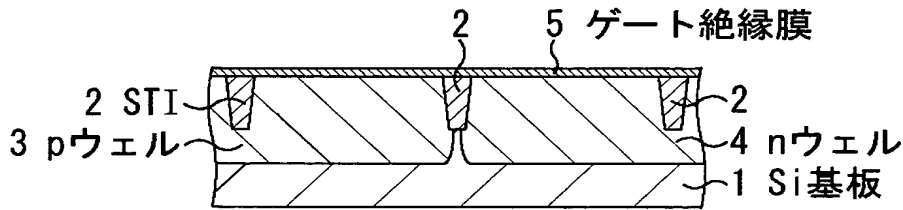
(c) pMOSウェル、チャネル注入



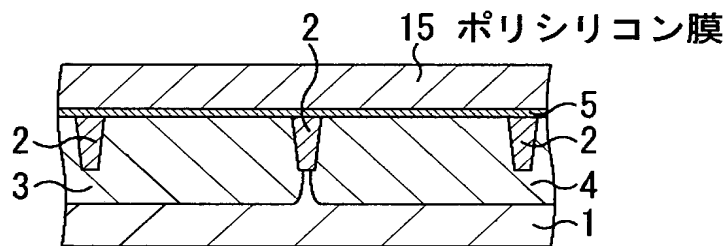
(d) アニール (RTA, 1000C, 3sec)

【図 5】

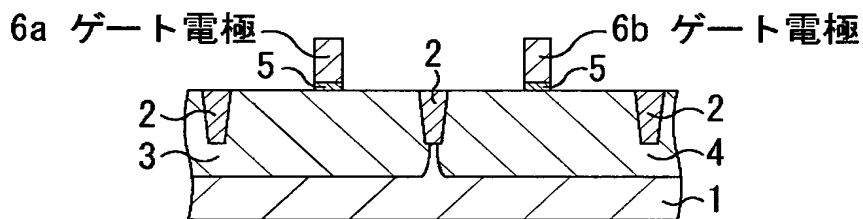
第1の実施形態



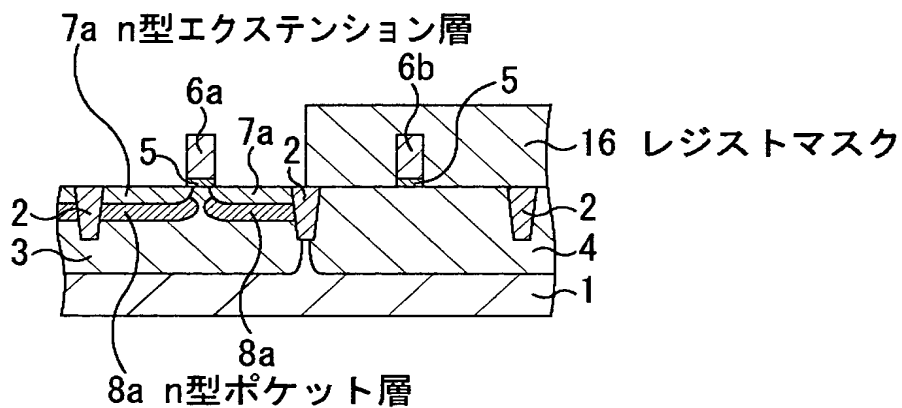
(a) ゲート酸化



(b) ポリシリコン堆積



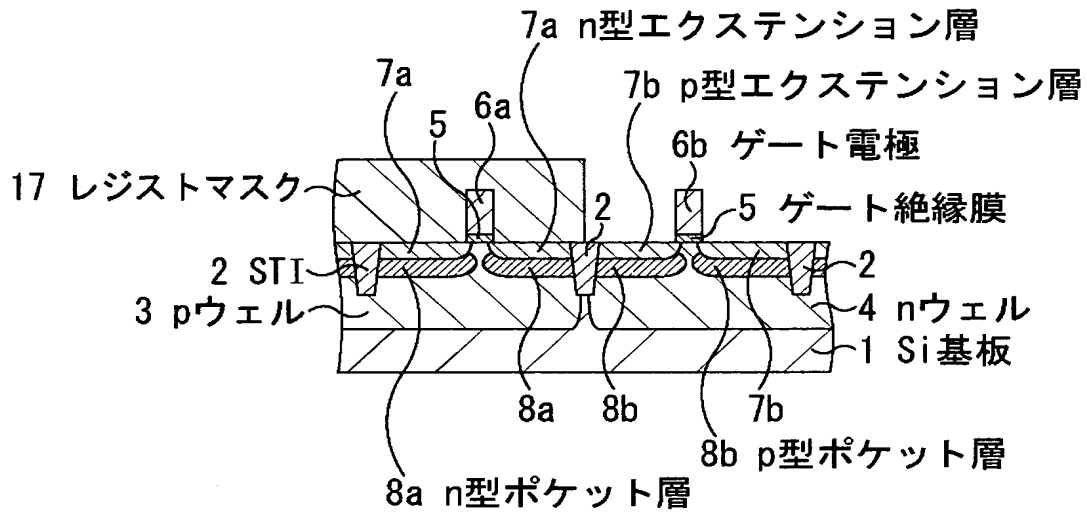
(c) ポリシリコンのエッチング



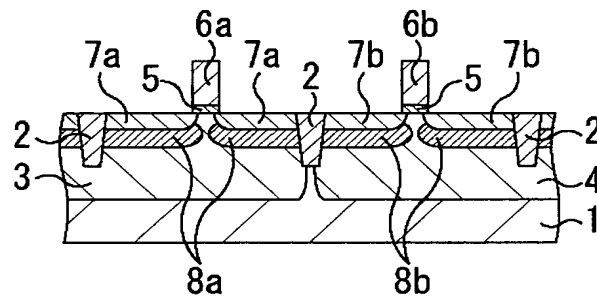
(d) nMOS エクステンション、ポケットのイオン注入

【図 6】

第1の実施形態

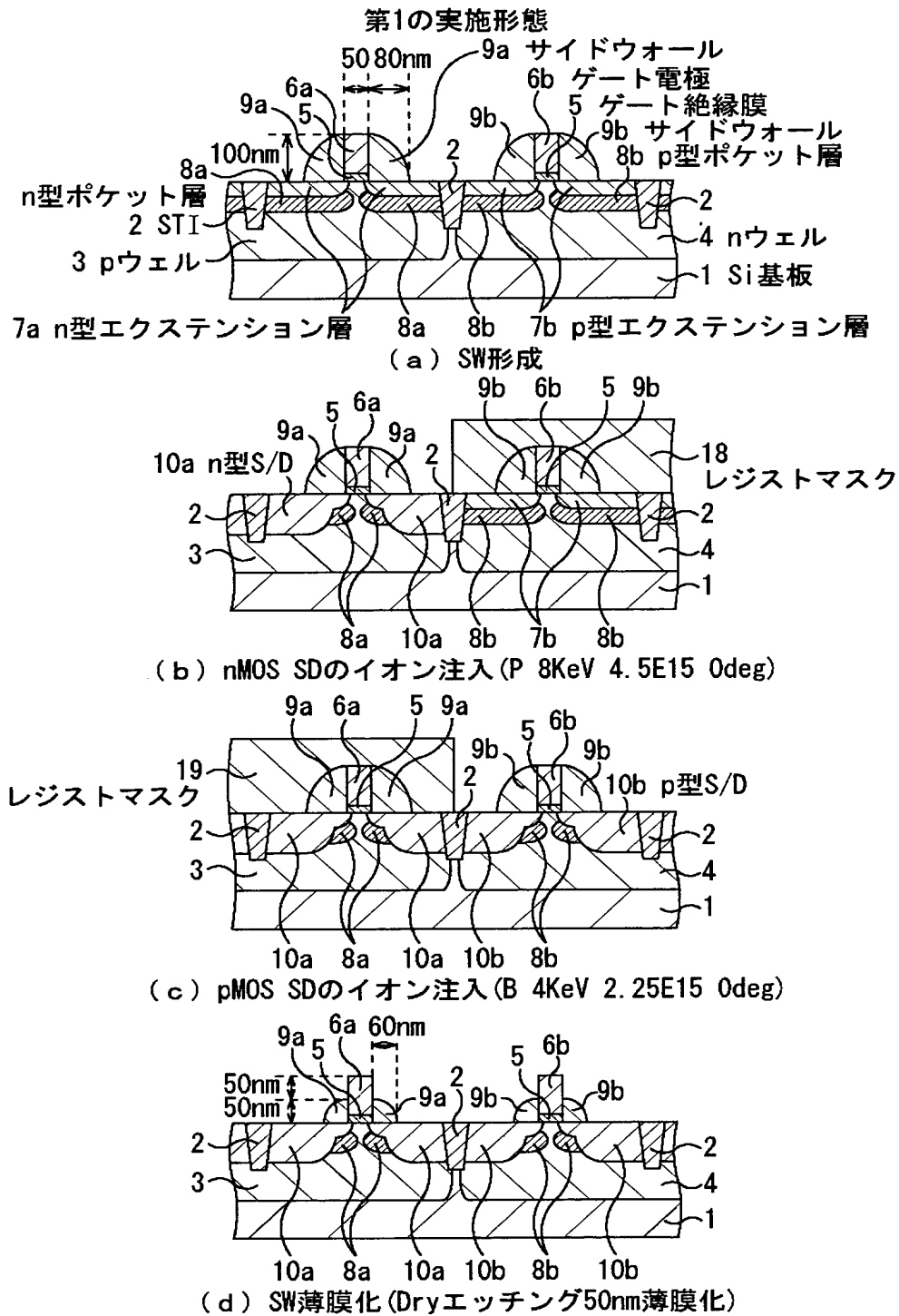


(a) pMOS エクステンション、ポケットの注入

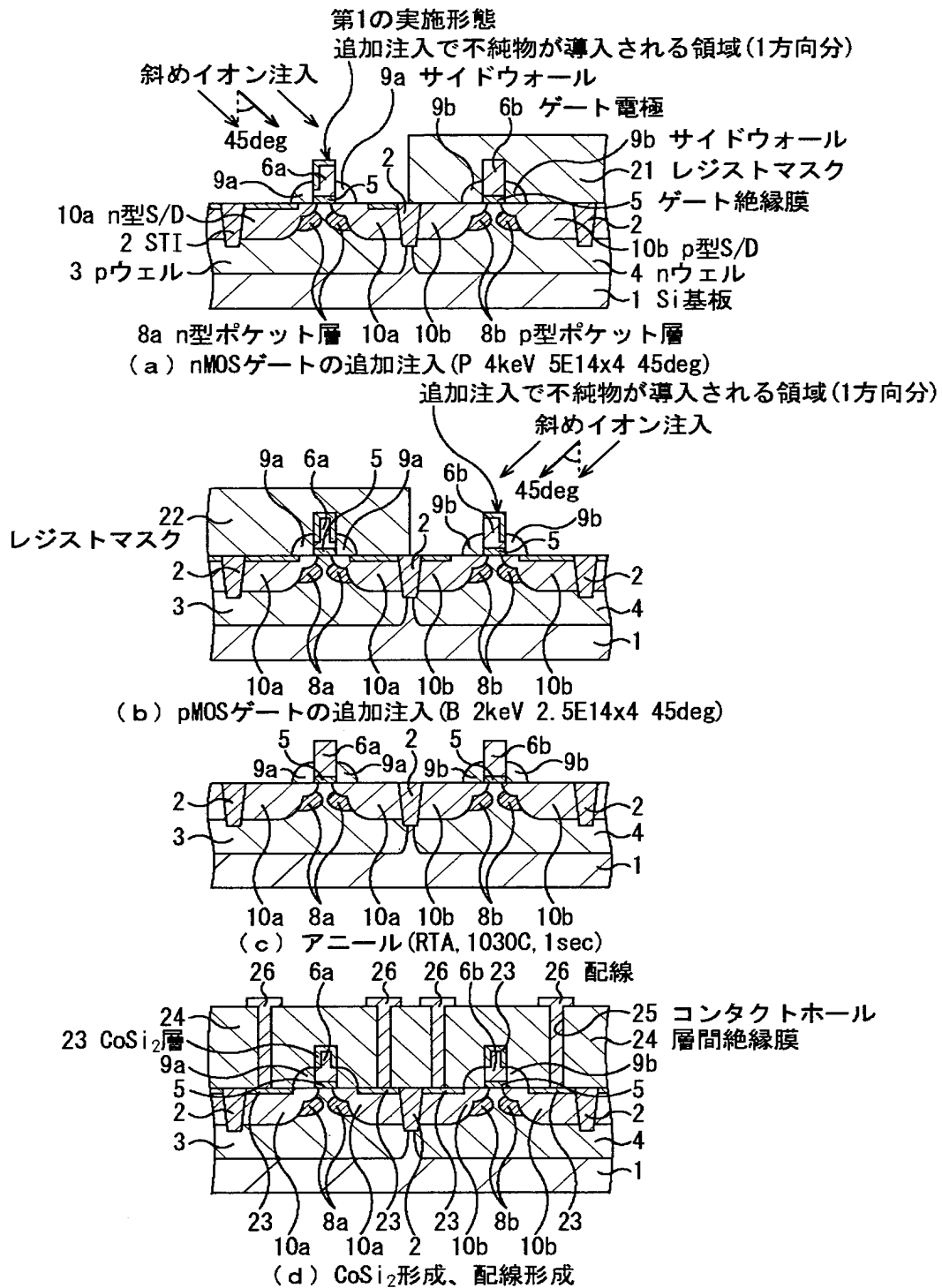


(b) アニール (RTA, 1000C, 1sec)

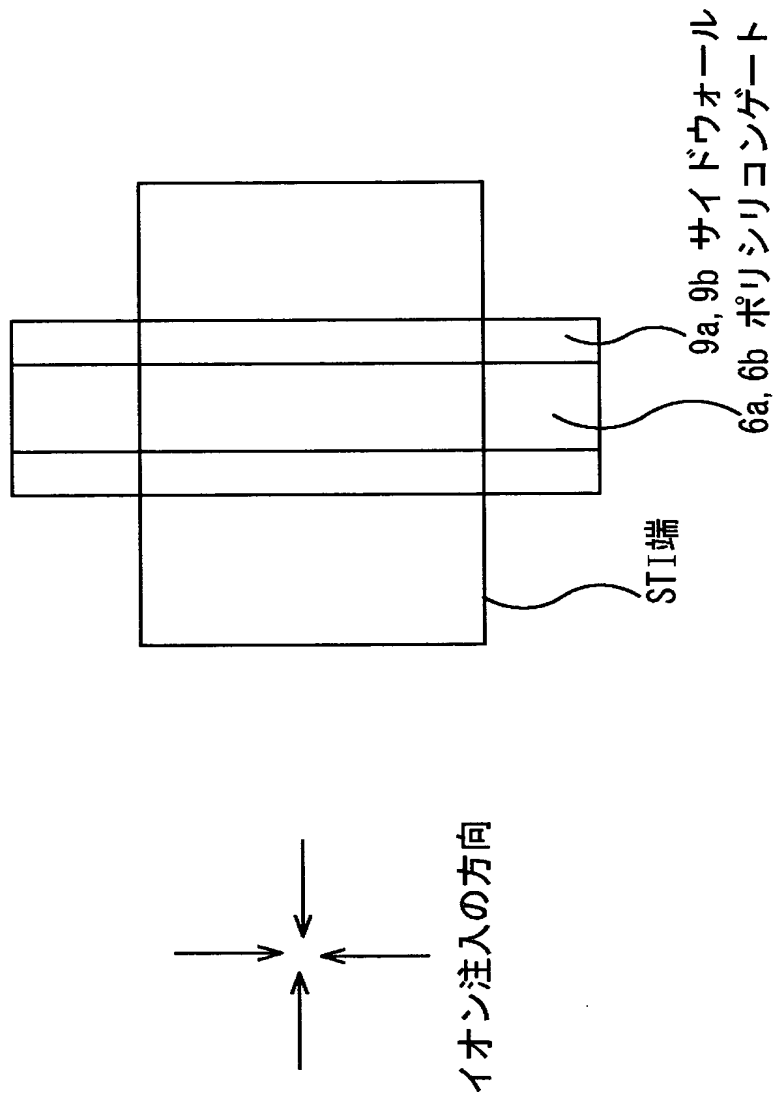
【図 7】



【図 8】

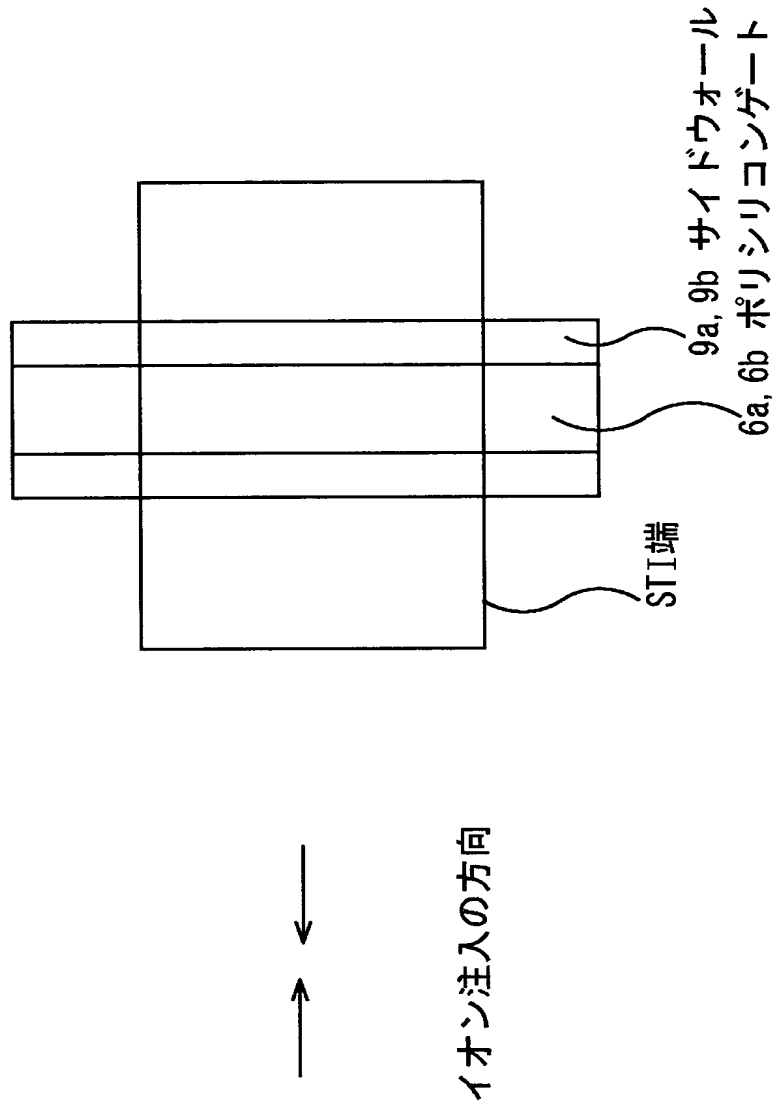


【図 9】



【図 1 0】

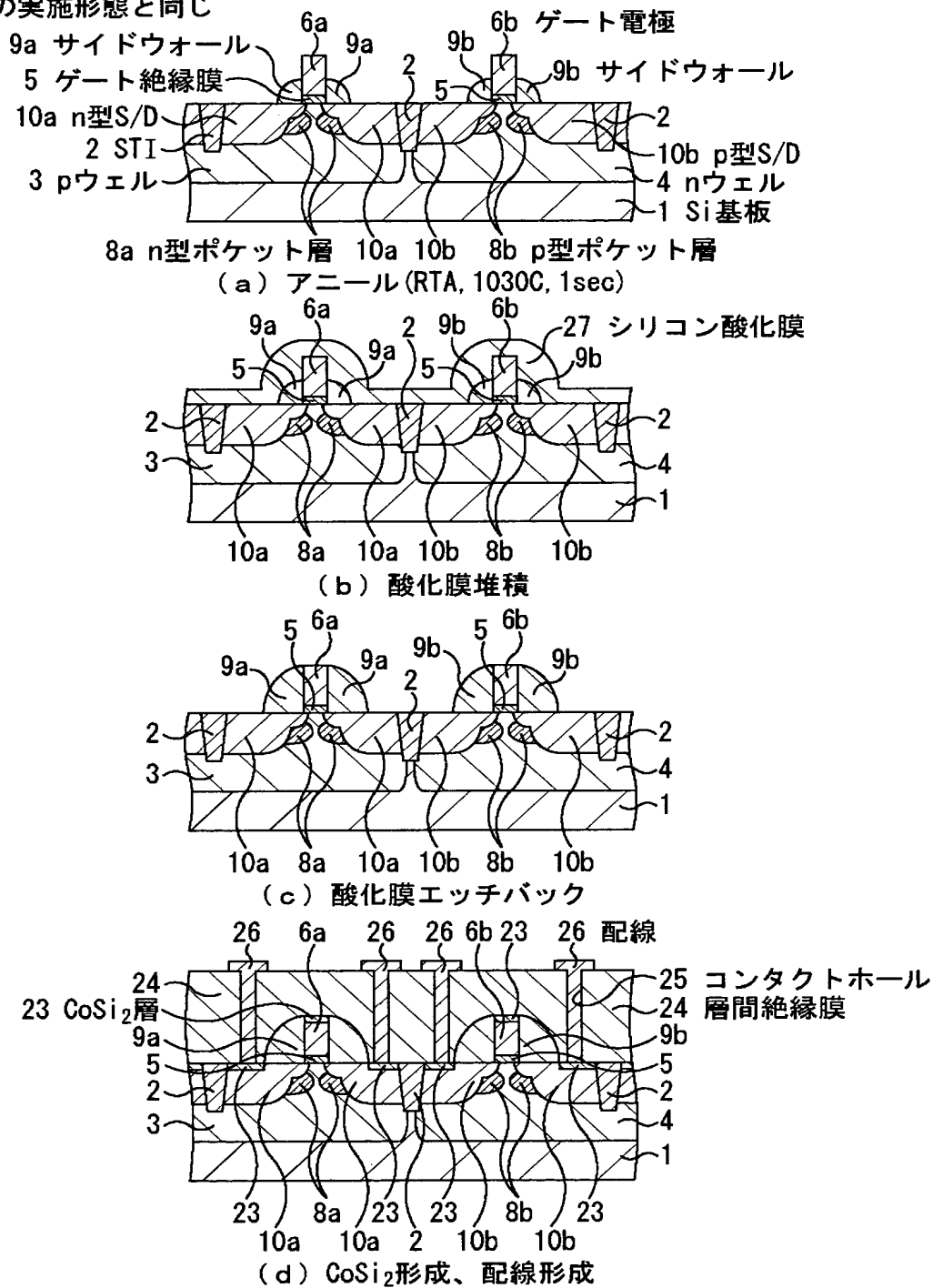
第1の実施形態の変形例



【図 1 1】

アニールまでは図8(b)の
第1の実施形態と同じ

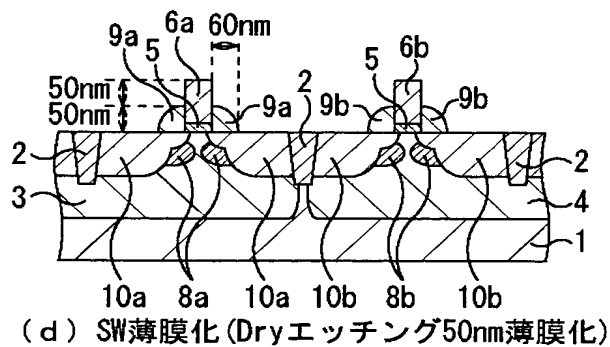
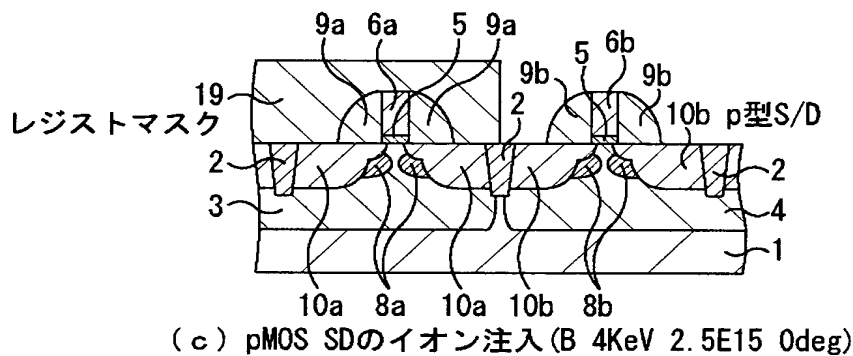
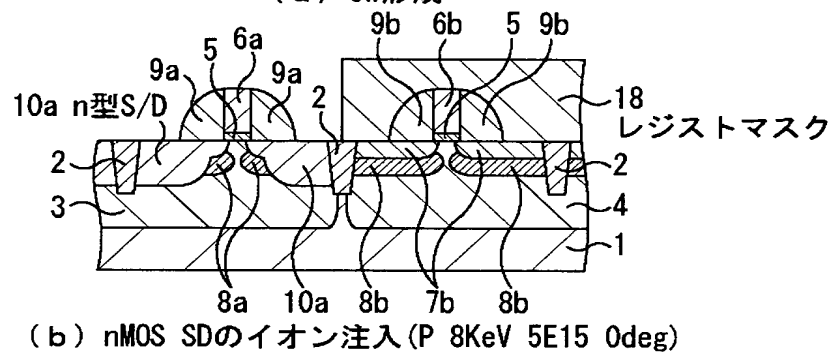
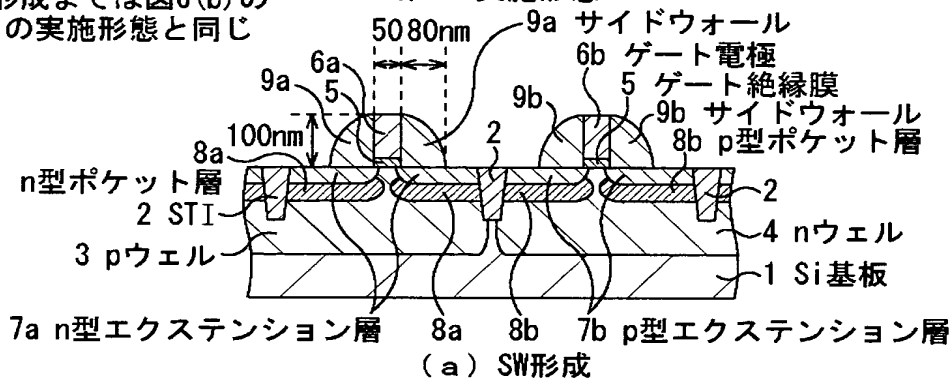
第2の実施形態



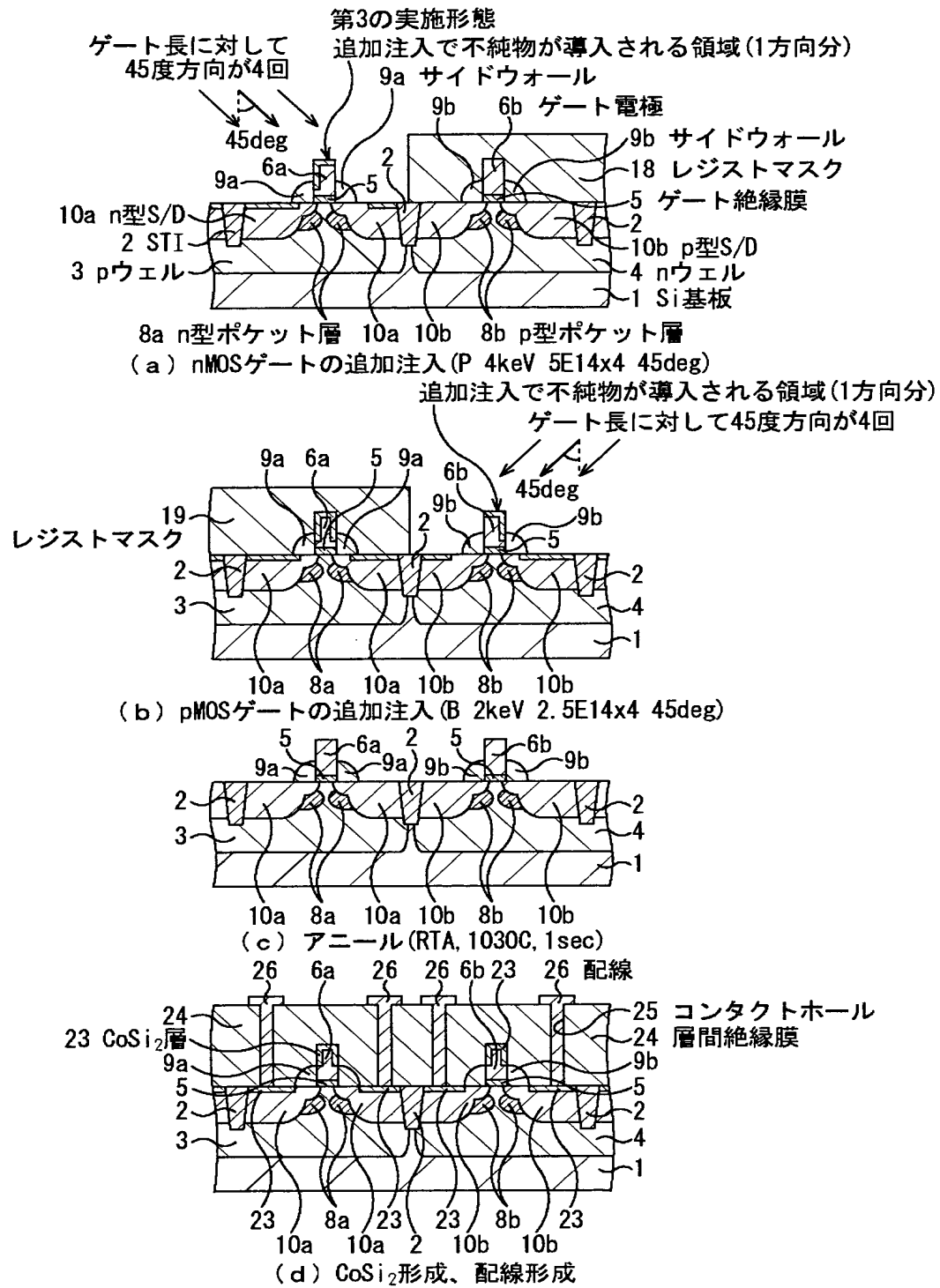
【図 1 2】

SW形成までは図6(b)の
第1の実施形態と同じ

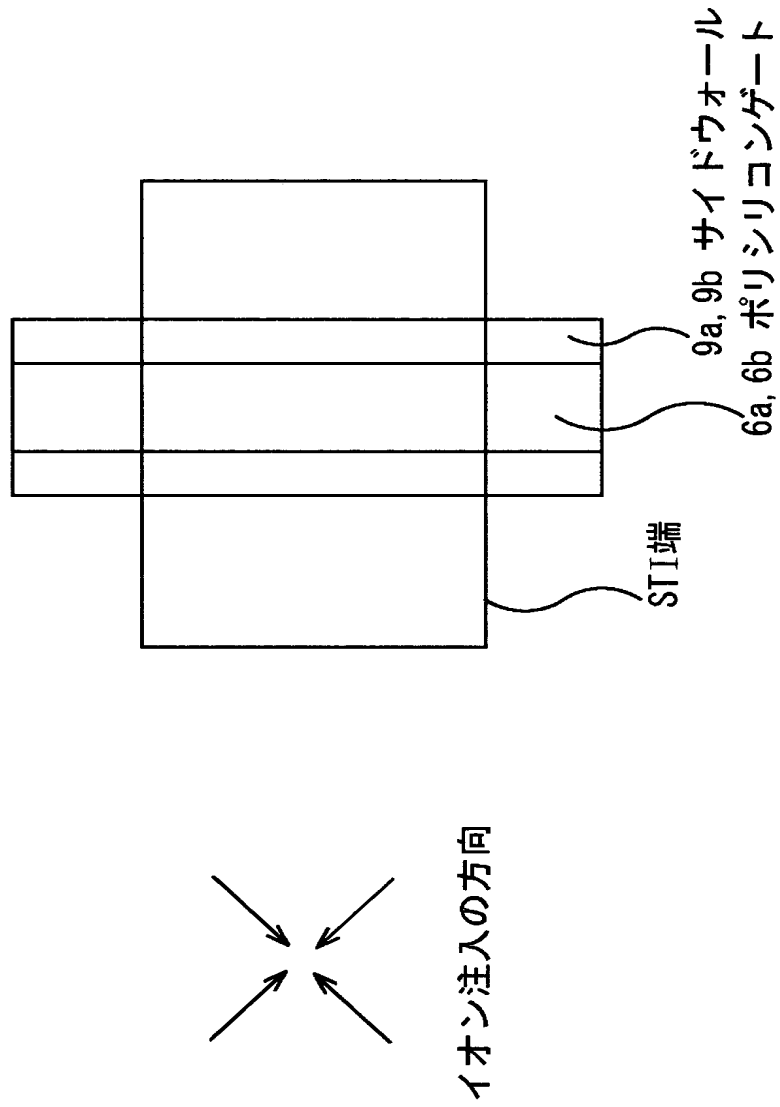
第3の実施形態



【図 13】

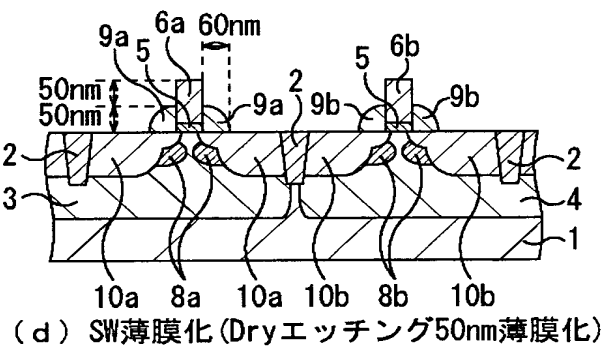
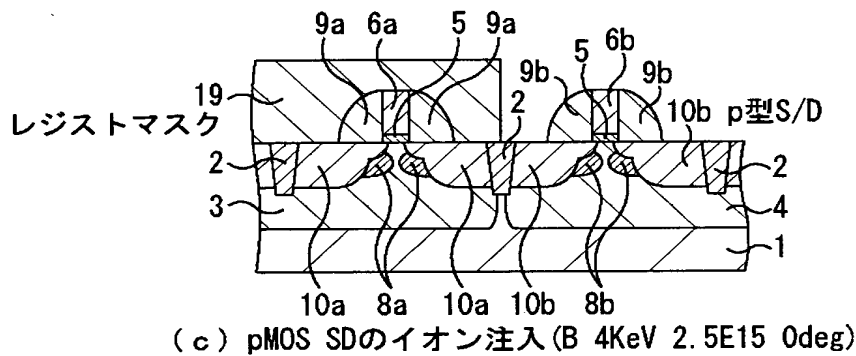
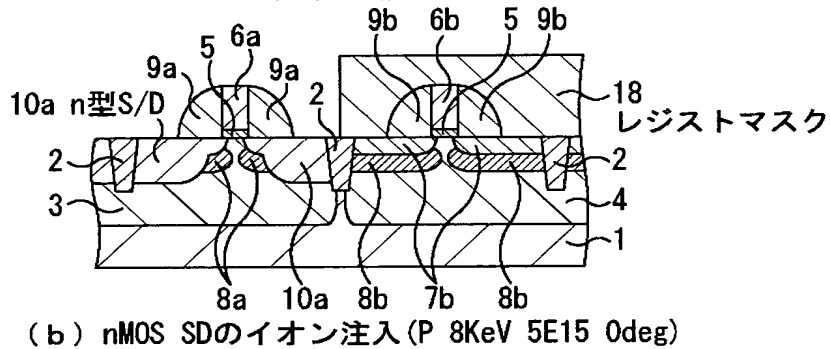
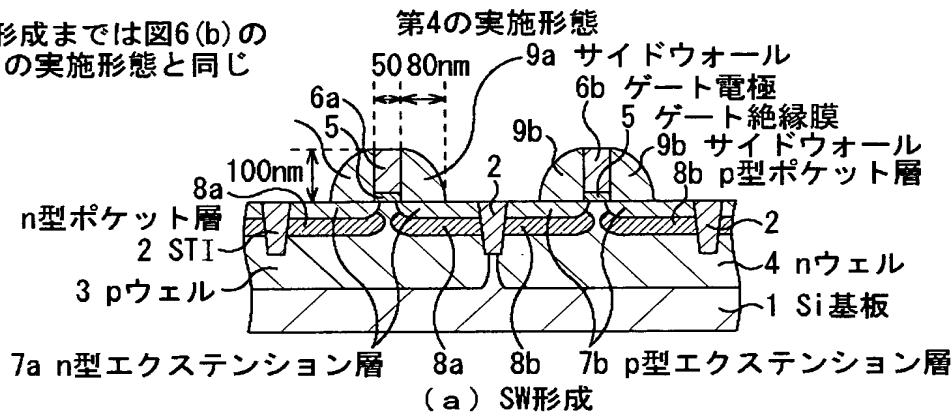


【図 1 4】

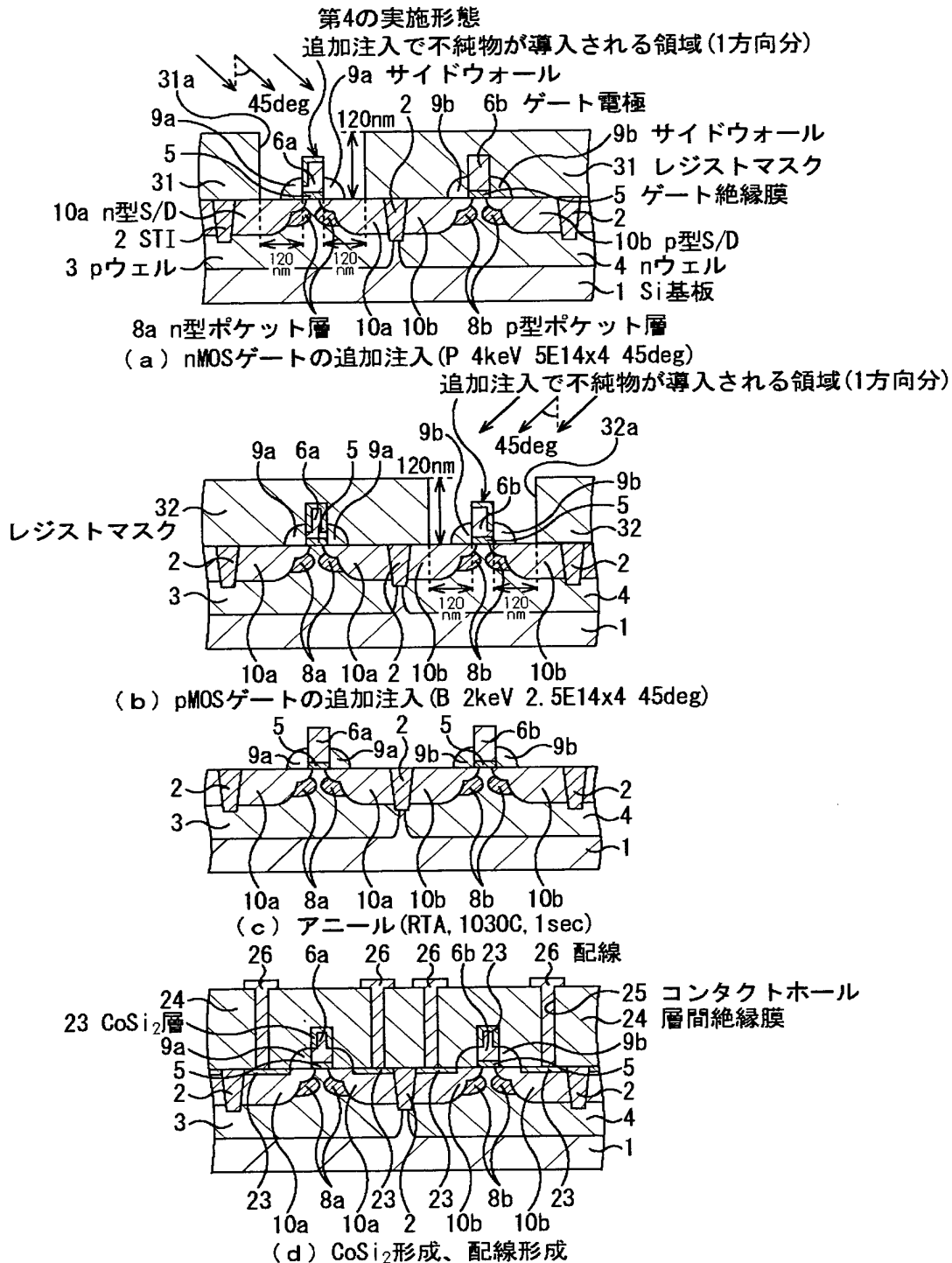


【図 1 5】

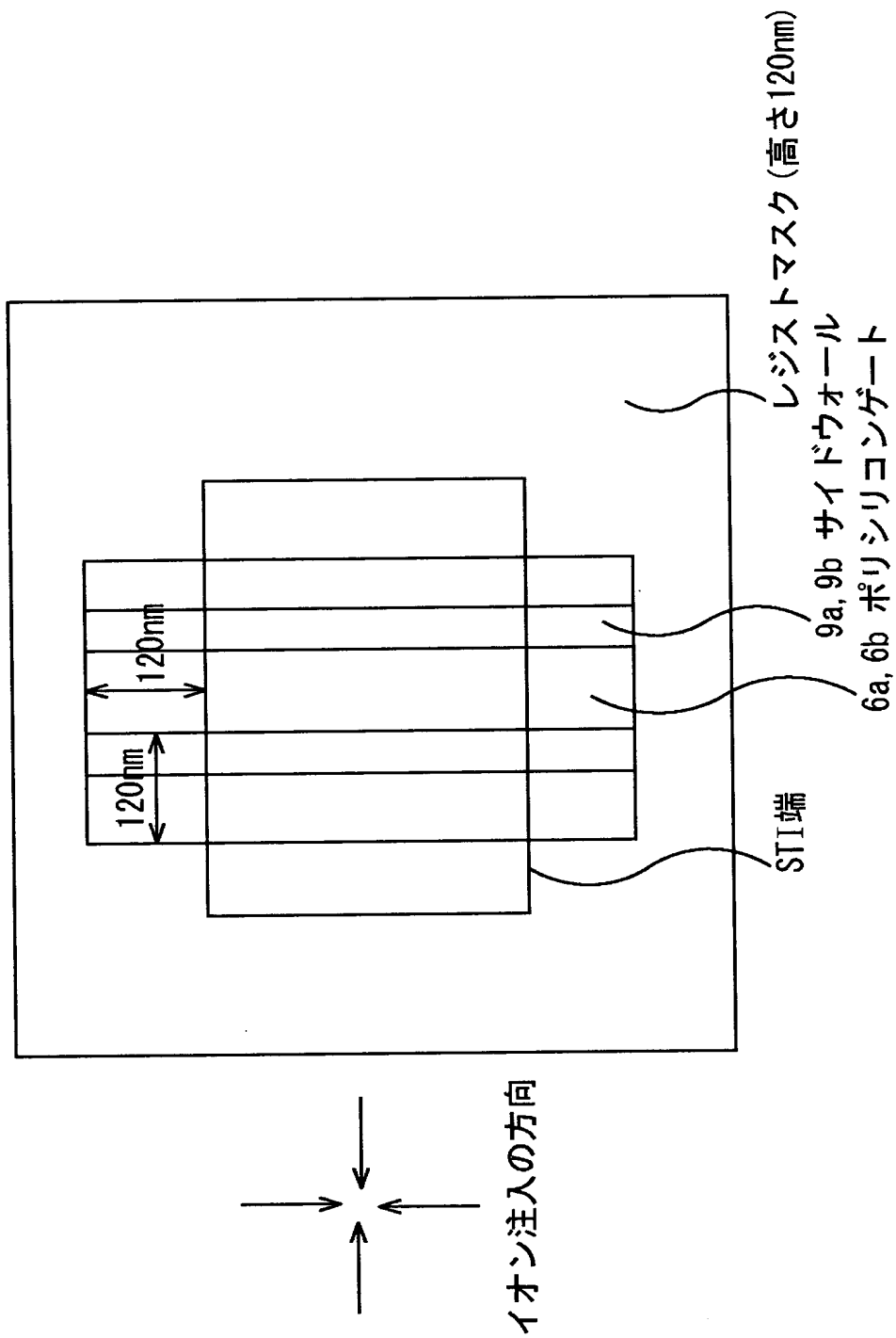
SW形成までは図6(b)の
第1の実施形態と同じ



【図 16】



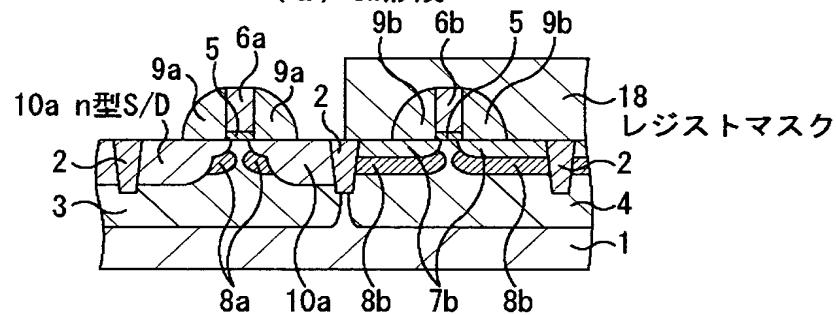
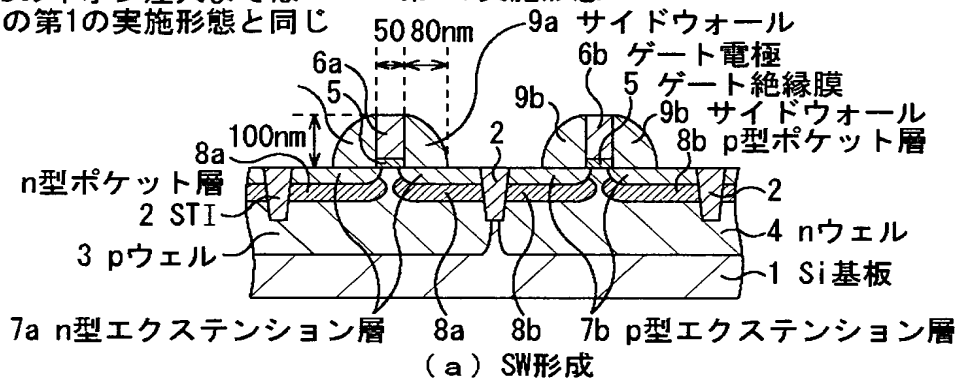
【図 17】



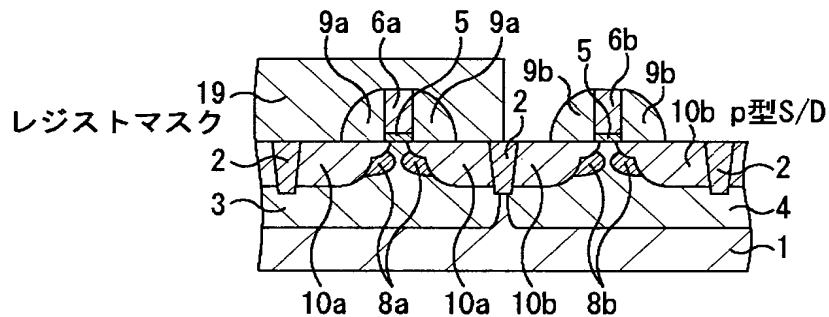
【図 18】

pMOS SDのイオン注入までは
図6(b)の第1の実施形態と同じ

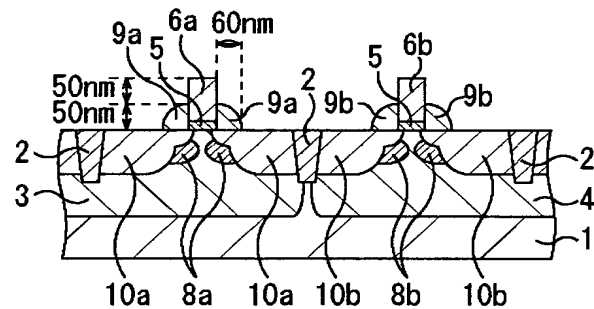
第5の実施形態



(b) nMOS SDのイオン注入 (P 8KeV 6E15 0deg)

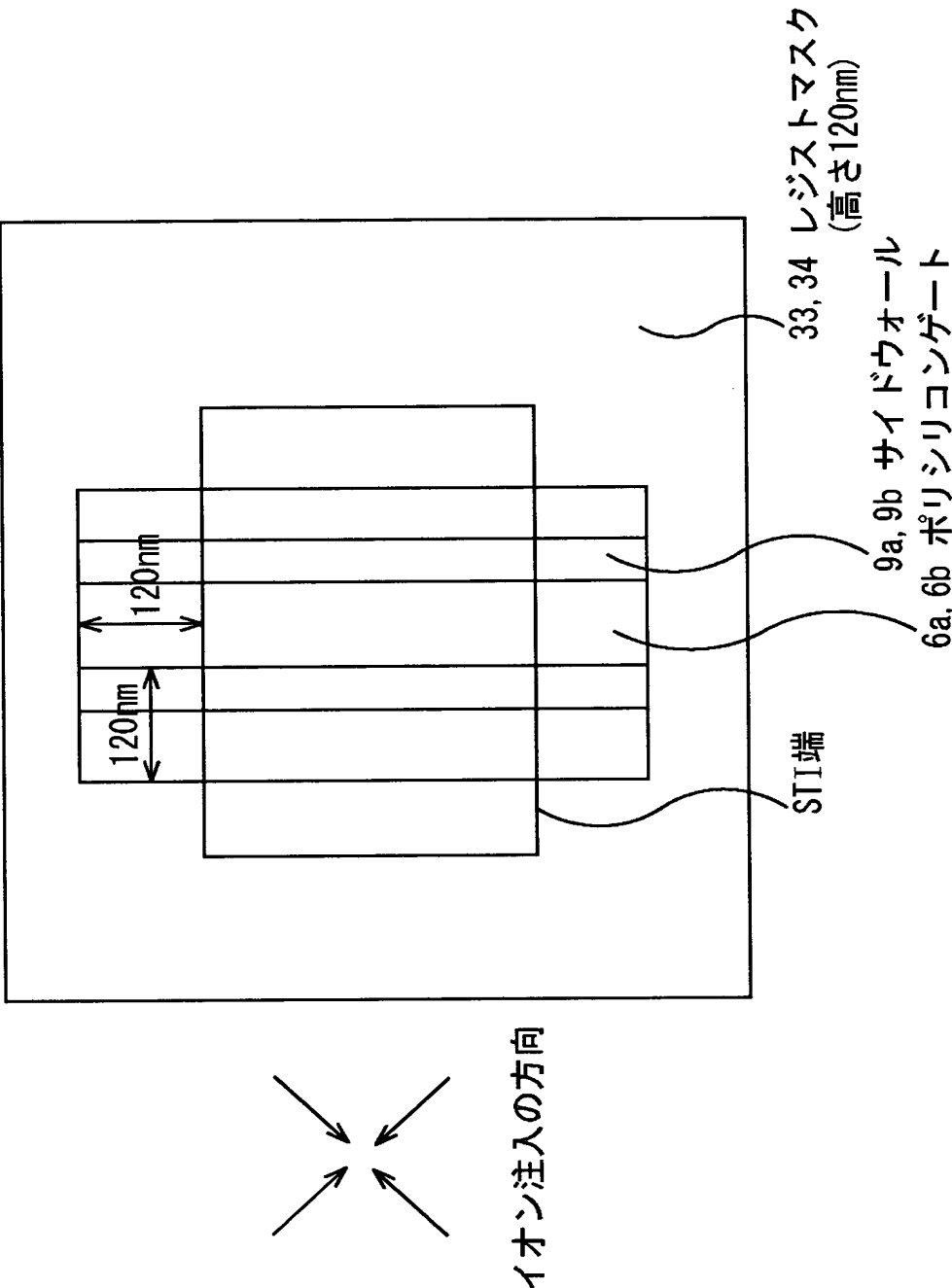


(c) pMOS SDのイオン注入 (B 4KeV 3E15 0deg)



(d) SW薄膜化(Dryエッチング50nm薄膜化)

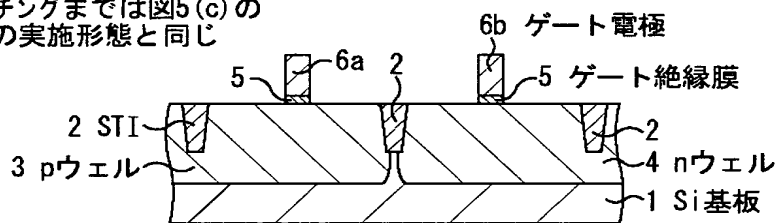
【図 2 0】



【図 2 1】

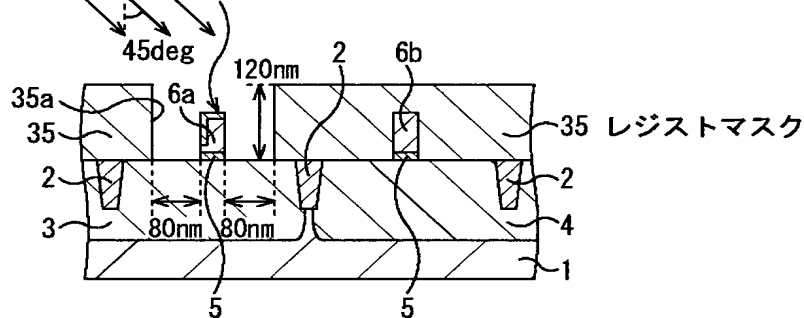
ポリシリコンの
エッチングまでは図5(c)の
第1の実施形態と同じ

第6の実施形態



(a) ポリシリコンのエッチング

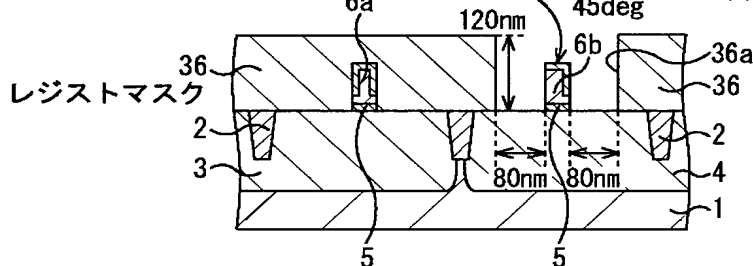
ゲート長に対して
45度方向が4回 追加注入で不純物が導入される領域(1方向分)



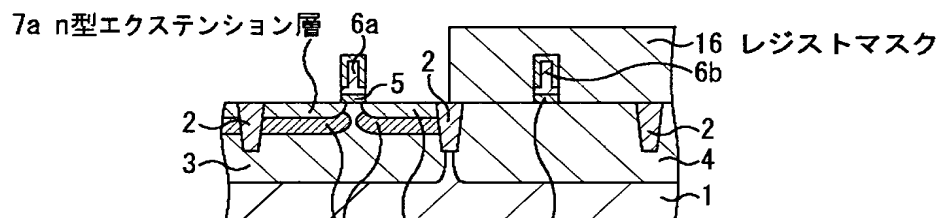
(b) nMOSゲートの注入 (P 4keV 5E14x4 45deg)

追加注入で不純物が導入される領域(1方向分)

ゲート長に対して
45度方向が4回

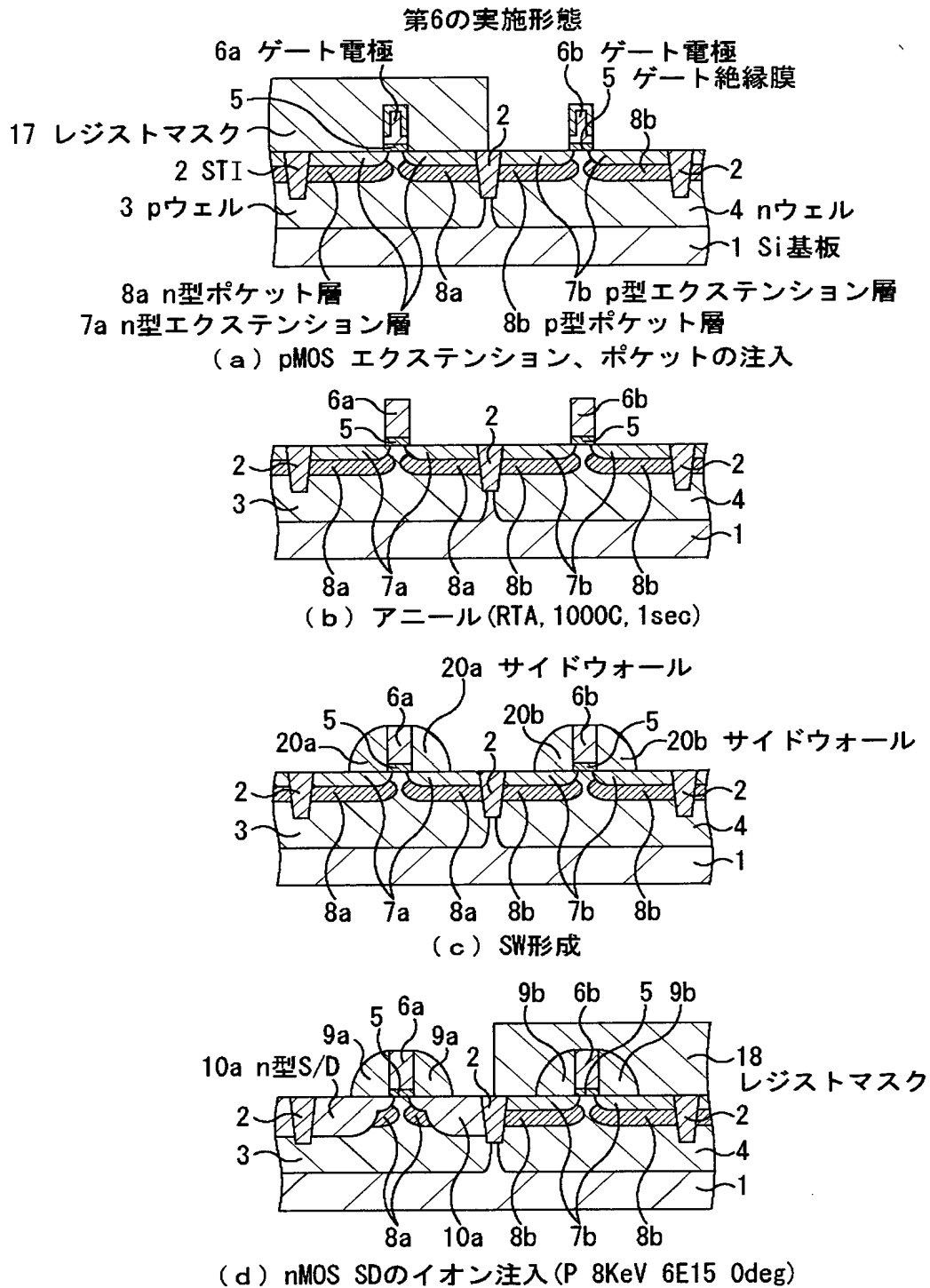


(c) pMOSゲートの注入 (B 2keV 2.5E14x4 45deg)

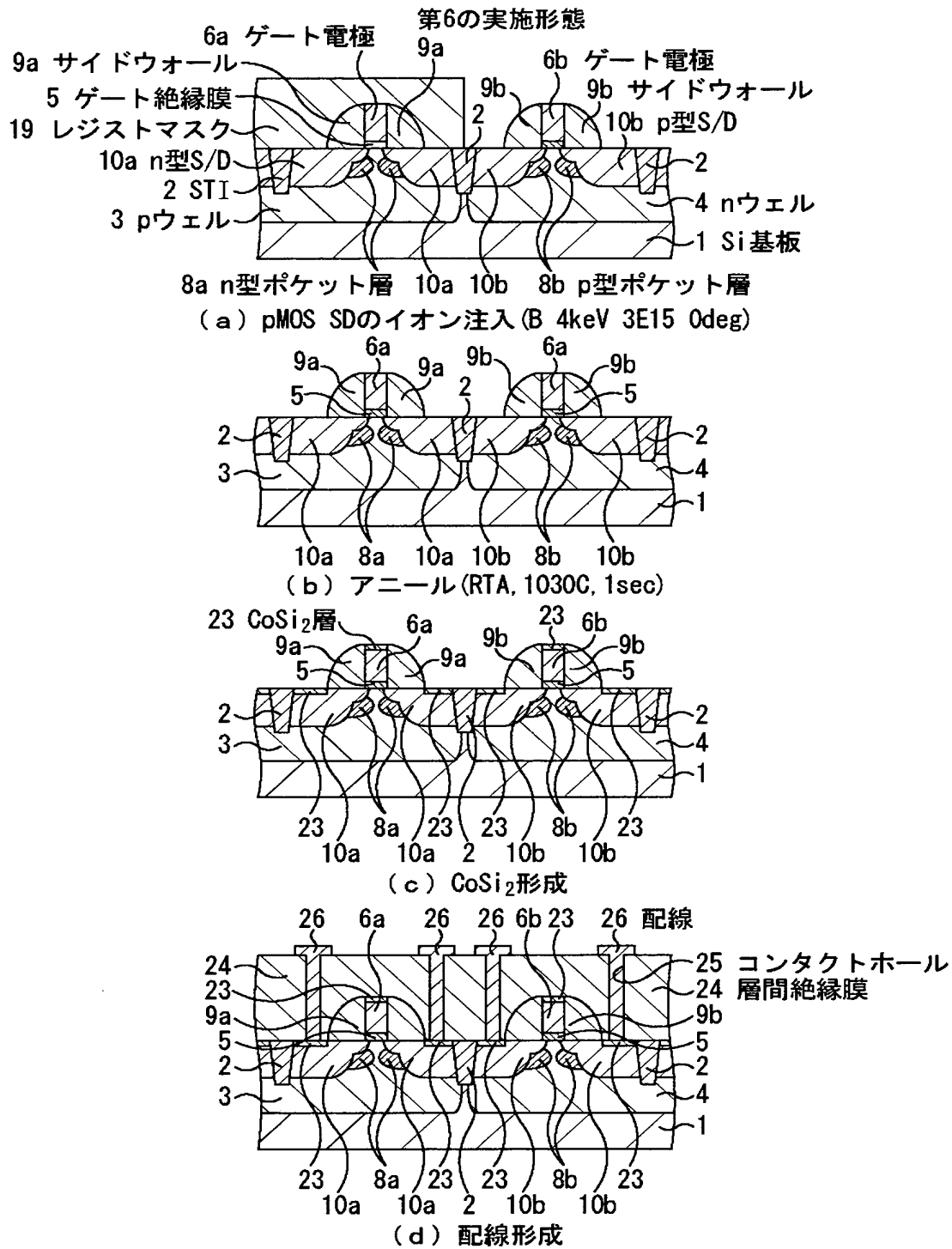


7a n型エクステンション層 8a n型ポケット層 7a 5
(d) nMOS エクステンション、ポケットのイオン注入

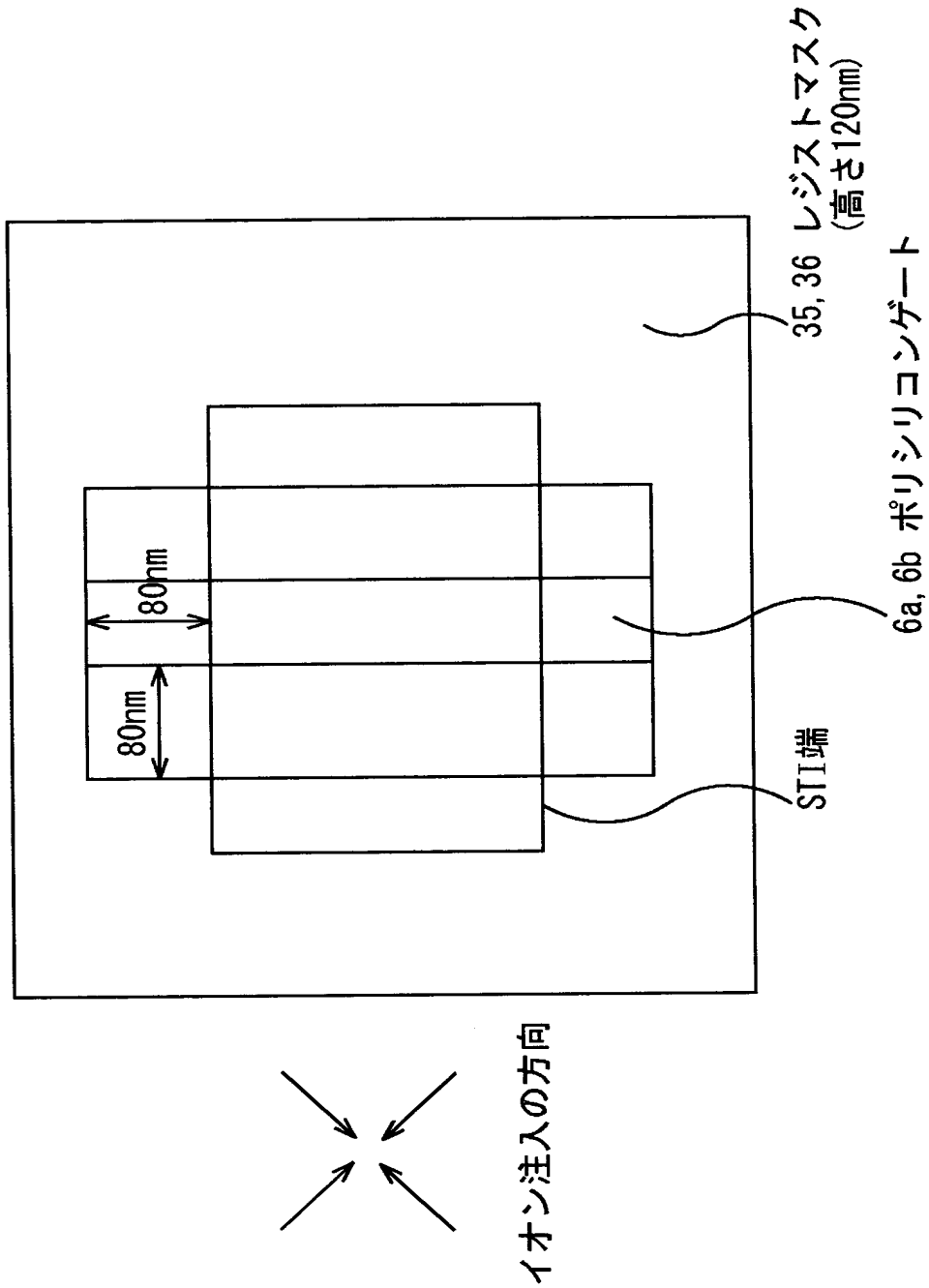
【図 22】



【図 2 3】



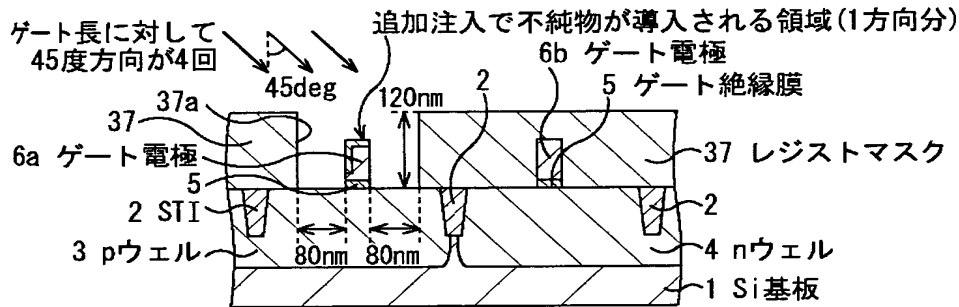
【図 2 4】



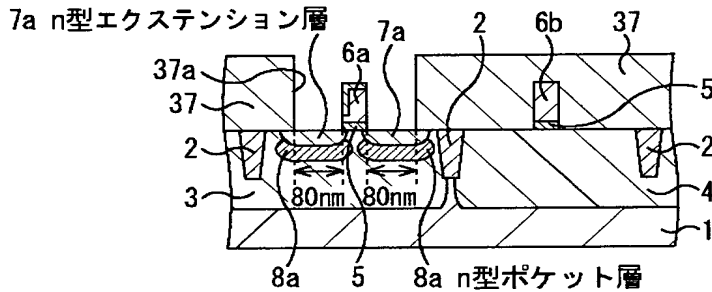
【図 2 5】

ポリシリコンのエッチングまでは
図5(c)の第1の実施形態と同じ

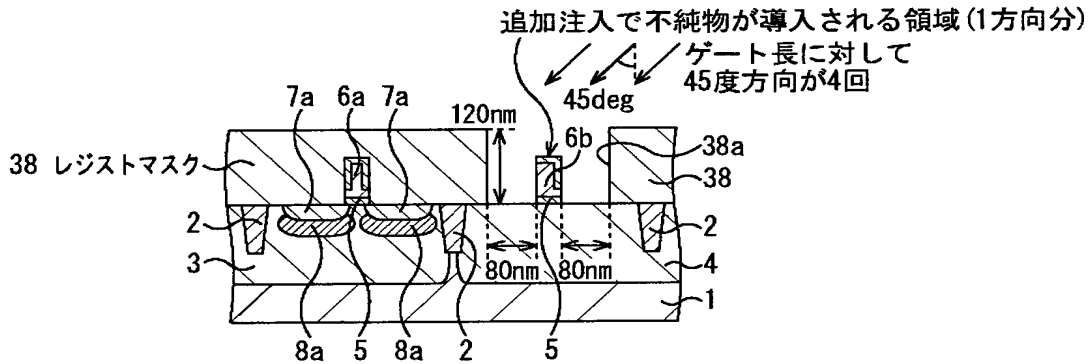
第7の実施形態



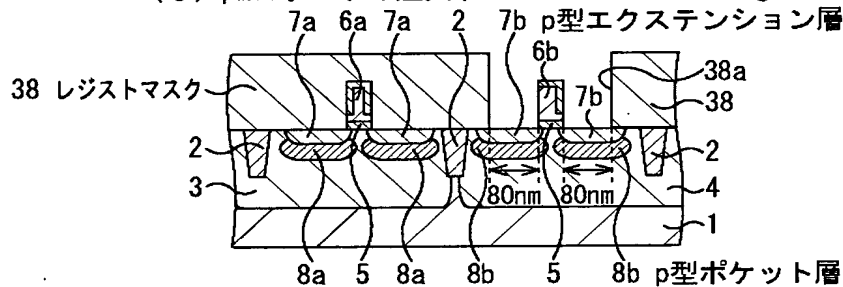
(a) nMOSゲートの注入(P 4keV 5E14x4 45deg)



(b) nMOS エクステンション(0deg)、ポケット(15deg)の注入

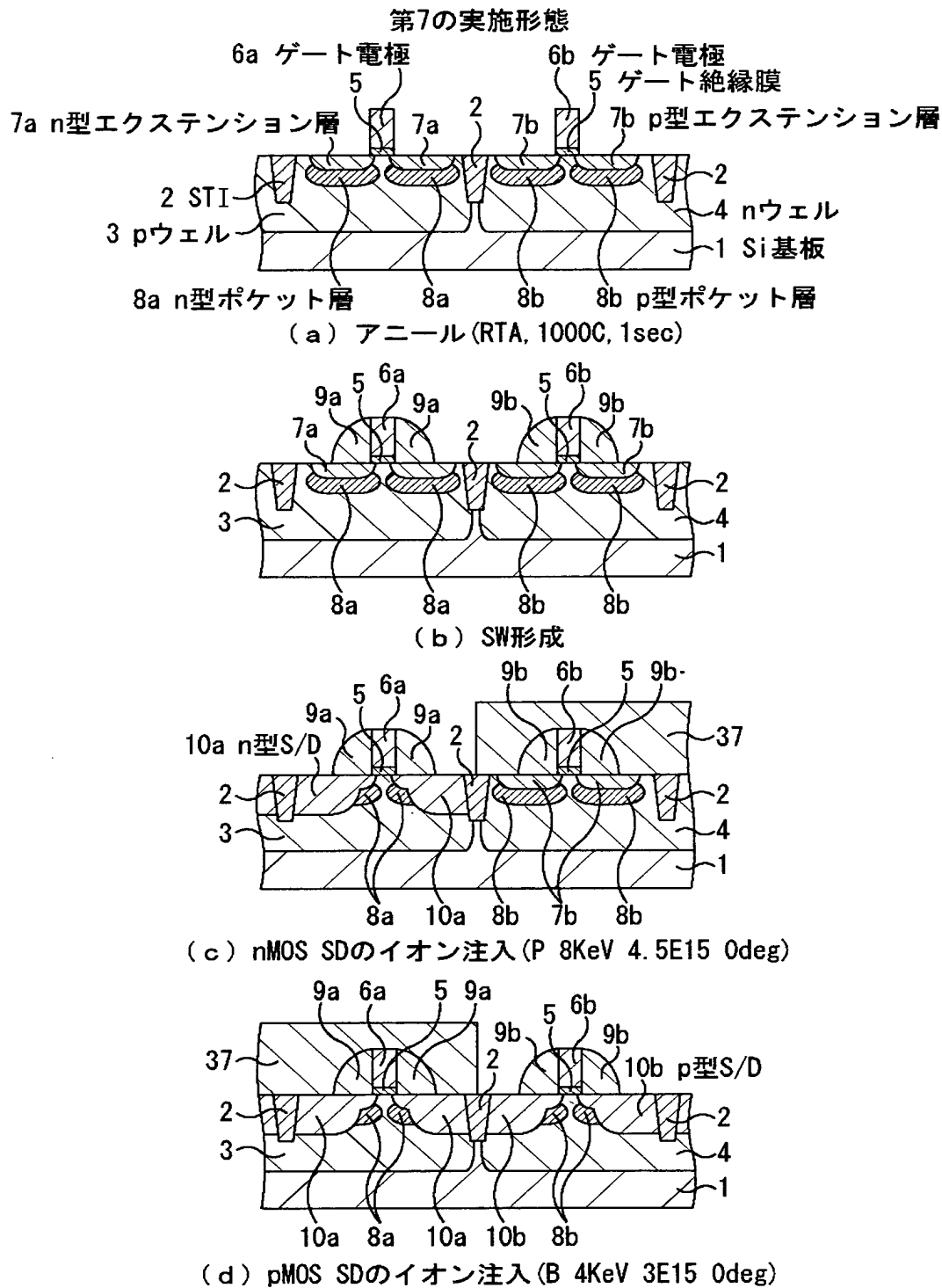


(c) pMOSゲートの注入(B 2keV 2.5E14x4 45deg)



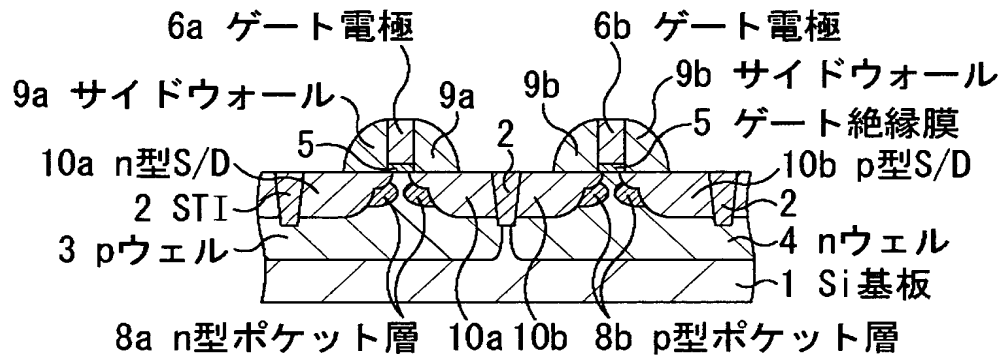
(d) pMOS エクステンション(0deg)、ポケット(15deg)の注入

【図 2 6】

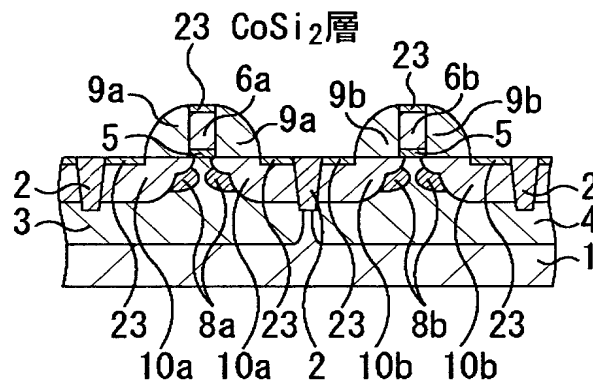


【図 2 7】

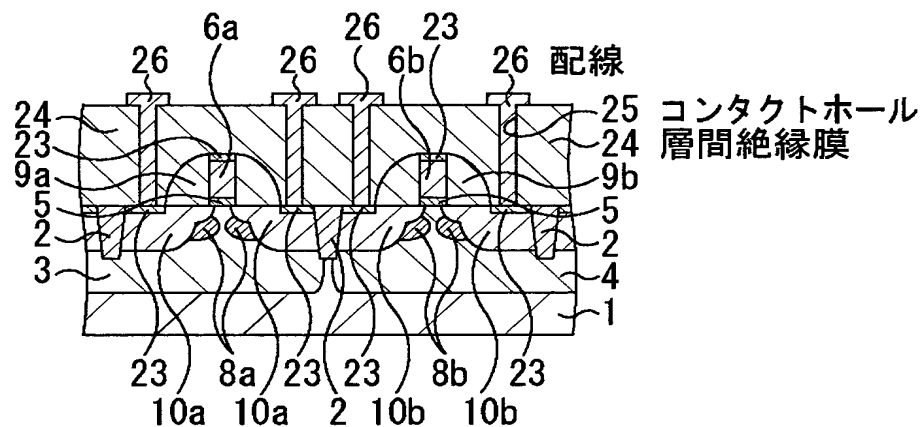
第7の実施形態



(a) アニール (RTA, 1030C, 1sec)



(b) CoSi₂形成

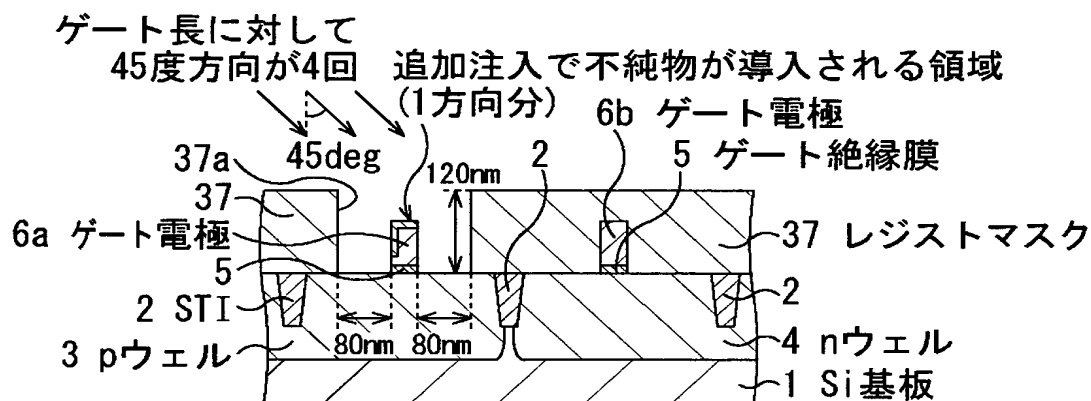


(c) 配線形成

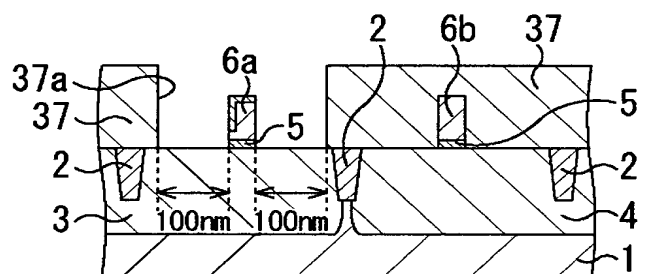
【図 2 8】

第7の実施形態の変形例

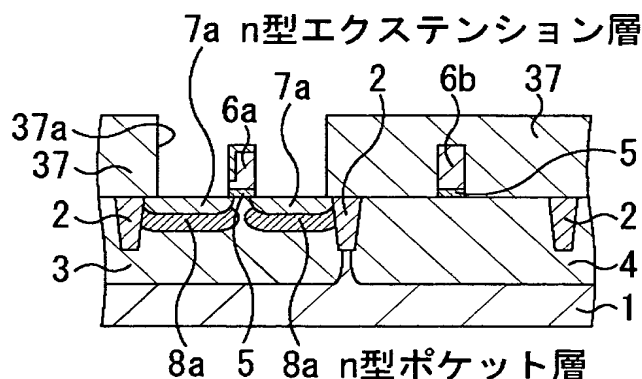
レジストのトリミングにより、ポケットが
レジストの影になるのを抑えられる。
ポケットの注入角に対する制約が緩和される。



(a) nMOSゲートの注入 (P 4keV 5E14x4 45deg)



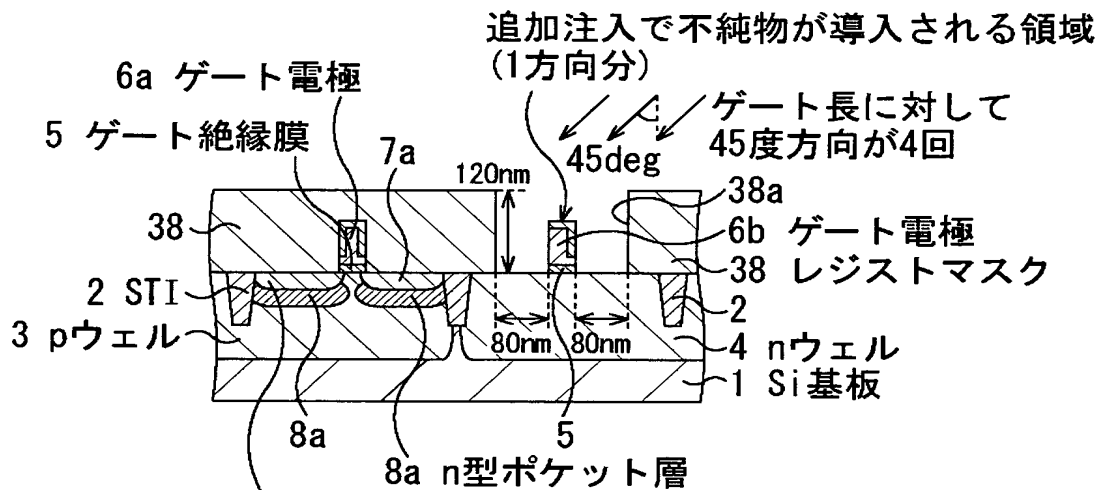
(b) レジストのトリミング (20nm)



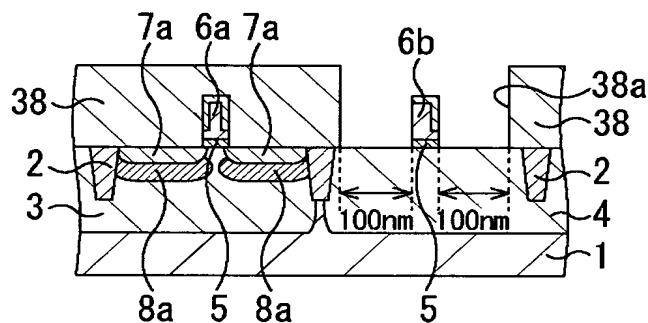
(c) nMOS エクステンション (0deg)、ポケット (30deg) の注入

【図 2 9】

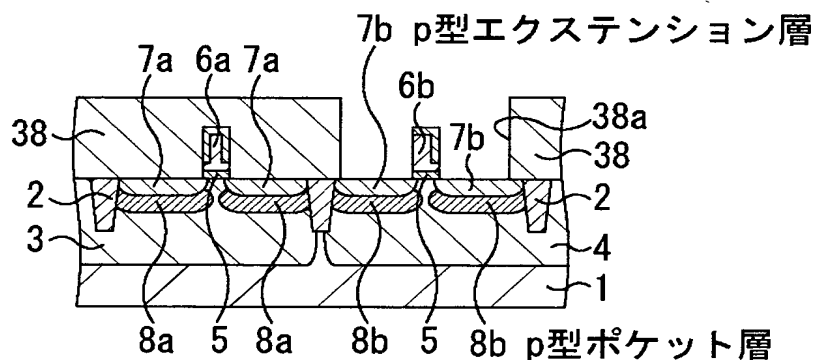
第7の実施形態の変形例



(a) pMOSゲートの注入 (B 2keV 2.5E14x4 45deg)



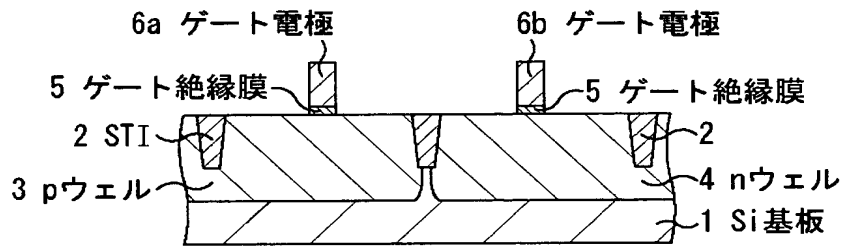
(b) レジストのトリミング (20nm)



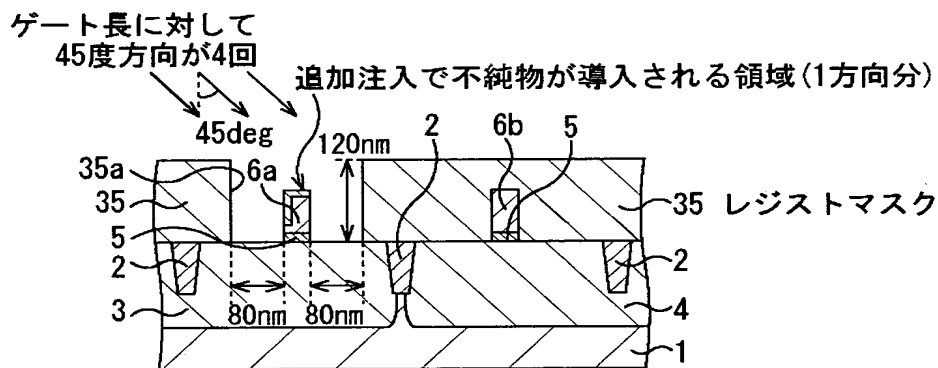
(c) pMOS エクステンション (0deg)、ポケット (30deg) の注入

【図 3 0】

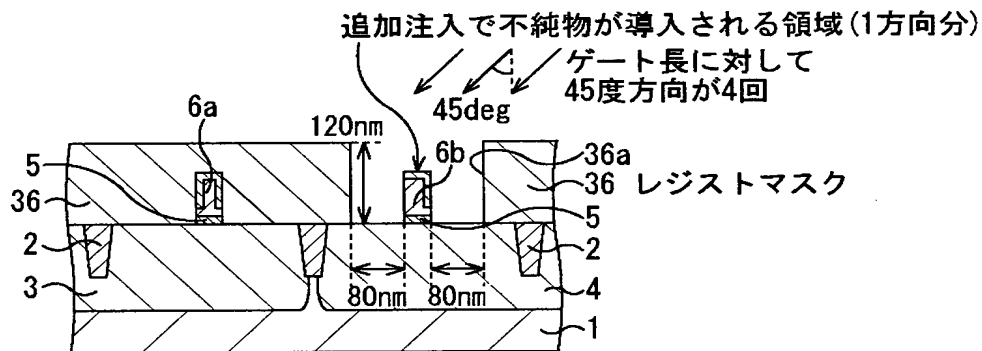
第8の実施形態



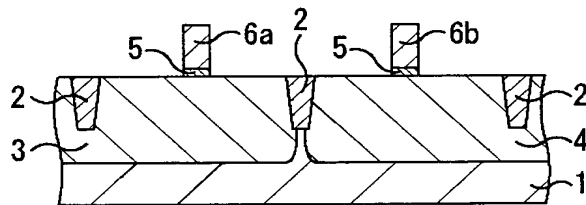
(a) nポリシリコンのエッチング



(b) nMOSゲートの注入(P 4keV 5E14x4 45deg)



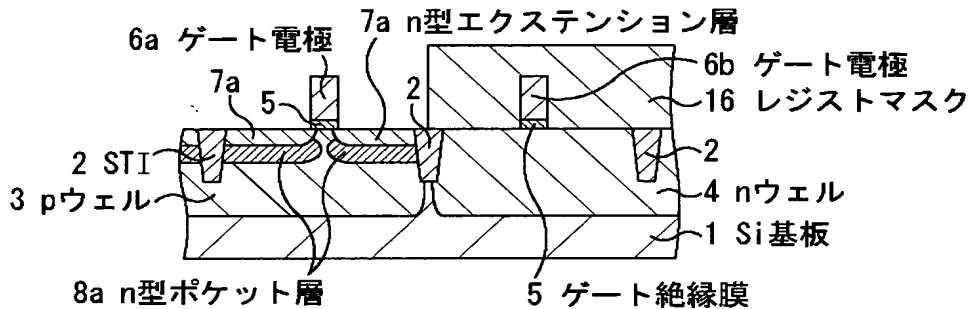
(c) pMOSゲートの注入(B 2keV 2.5E14x4 45deg)



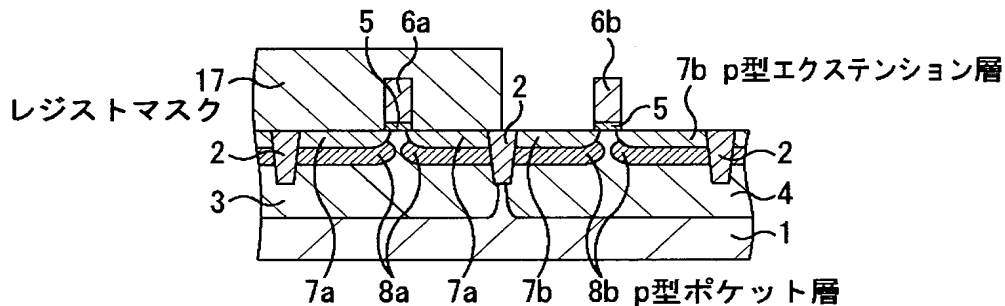
(d) アニール(RTA, 1050C, 1sec)

【図 3 1】

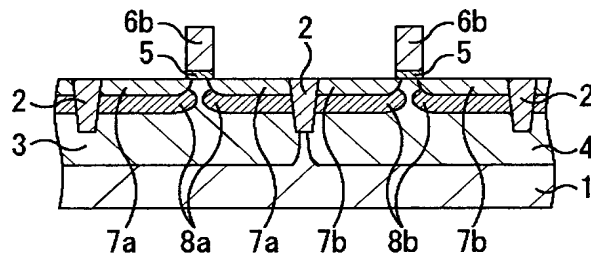
第8の実施形態



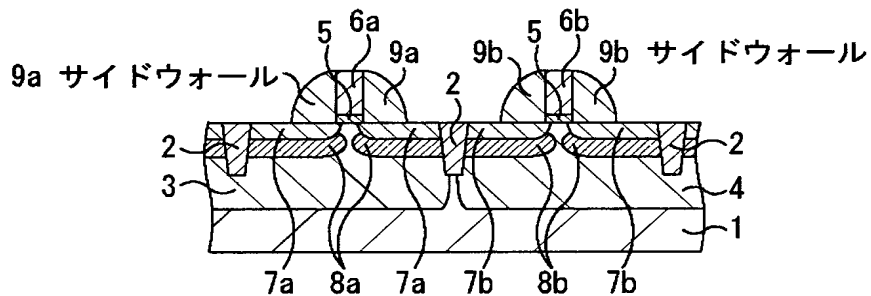
(a) nMOS エクステンション、ポケットのイオン注入



(b) pMOS エクステンション、ポケットの注入



(c) アニール (RTA, 1000C, 1sec)

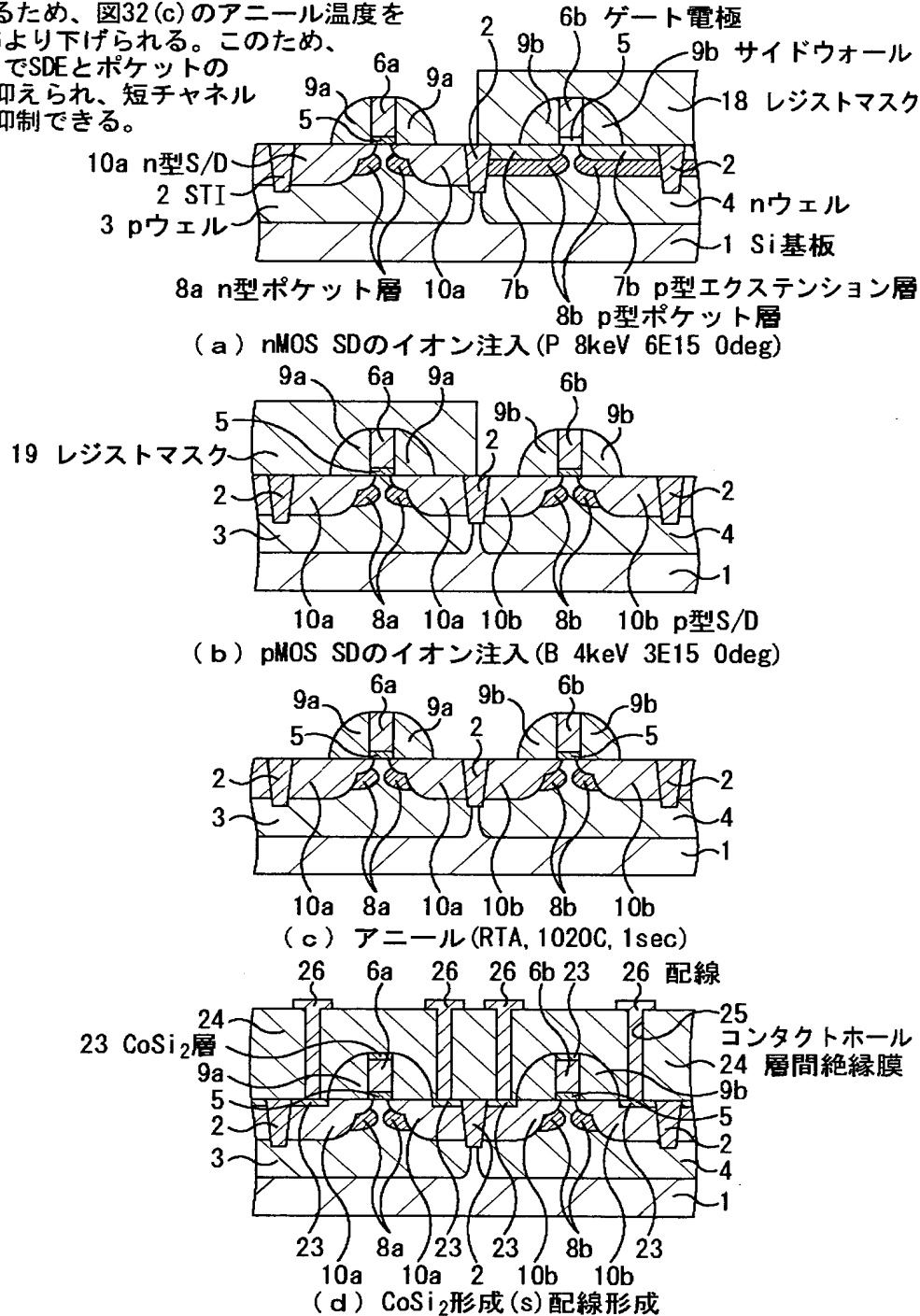


(d) SW形成

【図 3 2】

実施例8では図30(d)でアニールを
しているため、図32(c)のアニール温度を
実施例6より下げられる。このため、
工程(q)でSDEとポケットの
拡散が抑えられ、短チャネル
効果を抑制できる。

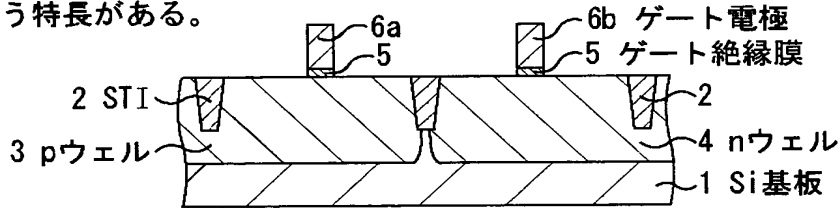
第8の実施形態



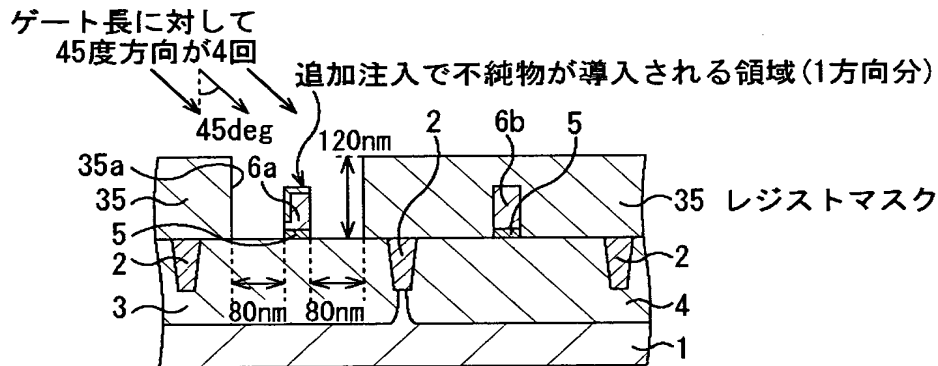
【図 3 3】

第6の実施形態をシングルドレイン構造に適用する。工程数が少ないという特長がある。

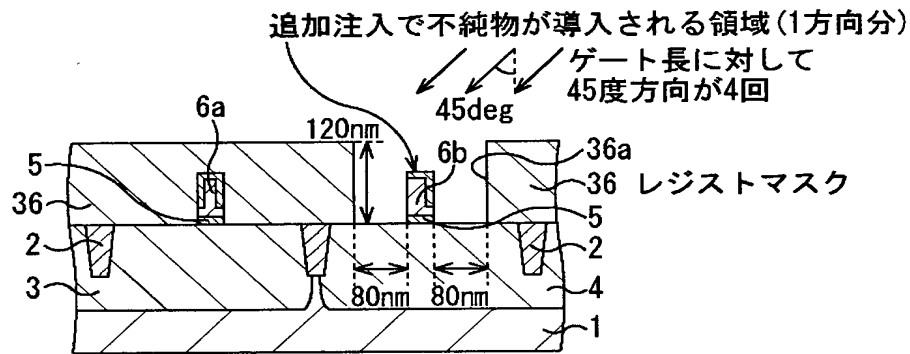
第9の実施形態



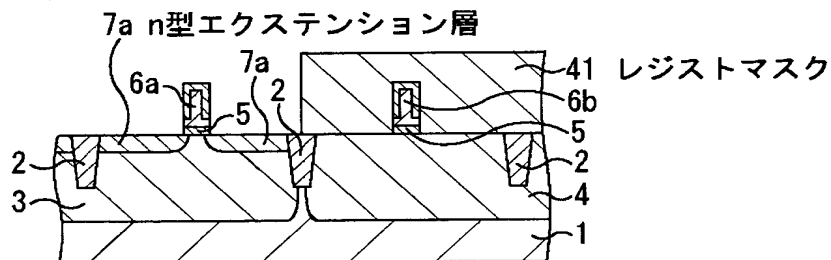
(a) ポリシリコンのエッチング



(b) nMOSゲートの注入 (P 4keV 5E14x4 45deg)



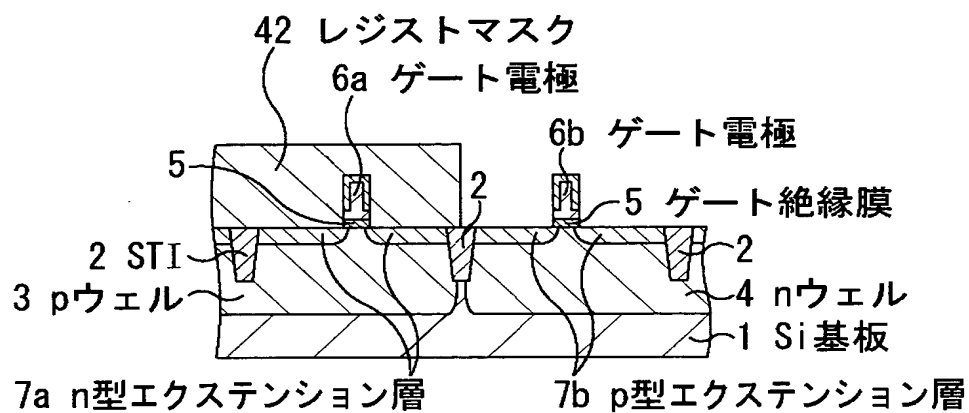
(c) pMOSゲートの注入 (B 2keV 2.5E14x4 45deg)



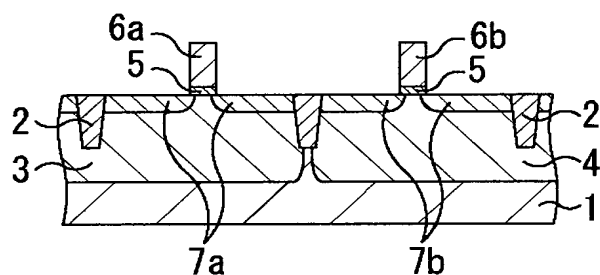
(d) nMOS SDのイオン注入

【図 3 4】

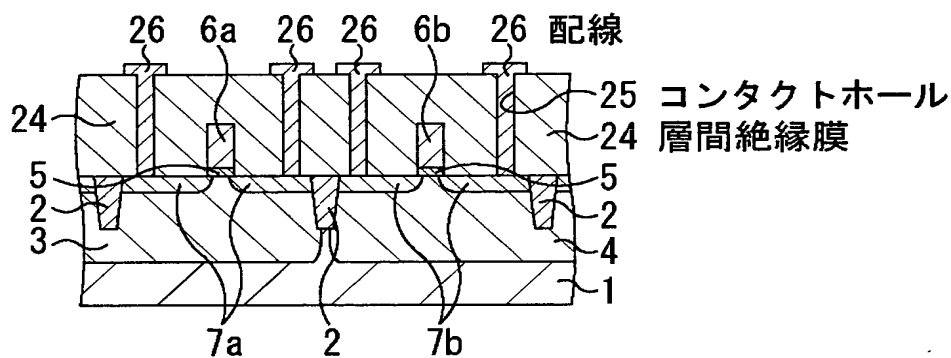
第9の実施形態



(a) pMOS SDのイオン注入



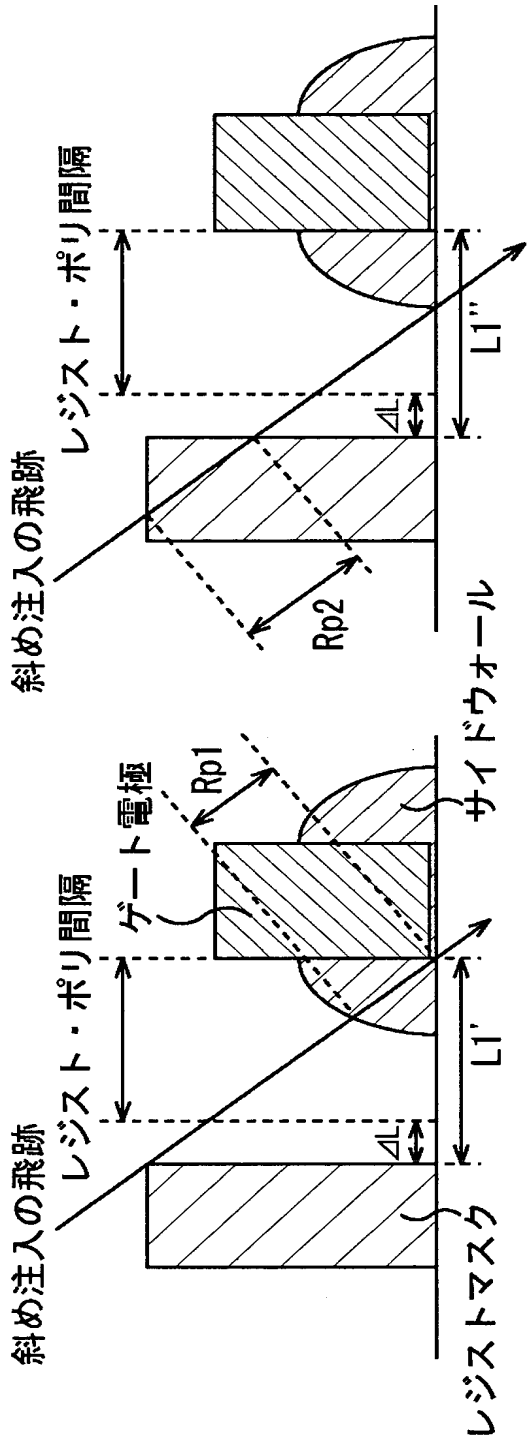
(b) アニール (RTA, 1030C, 1sec)



(c) 配線形成

【図 3 5】

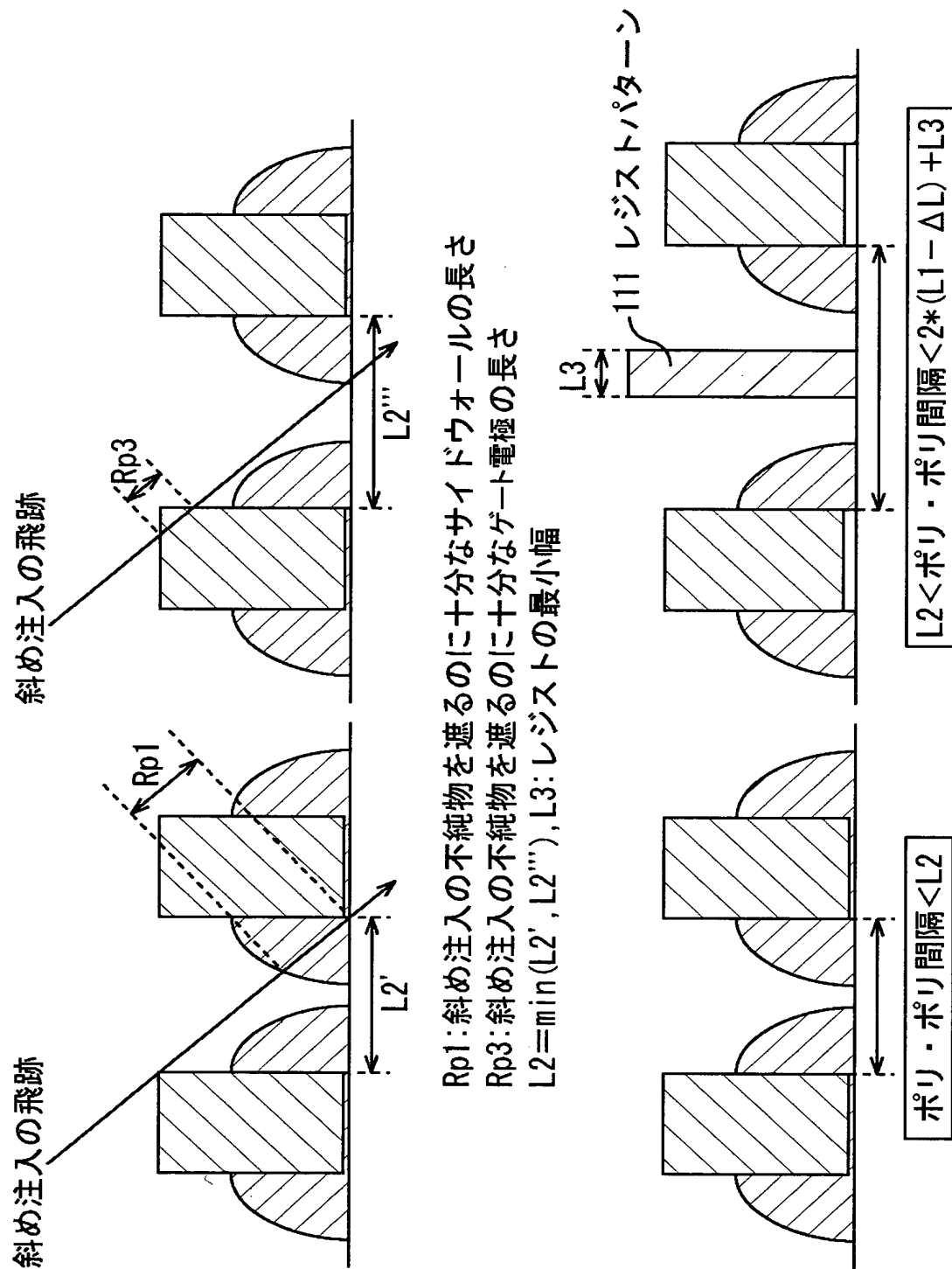
第4, 5の実施形態のレジストマスクのルール



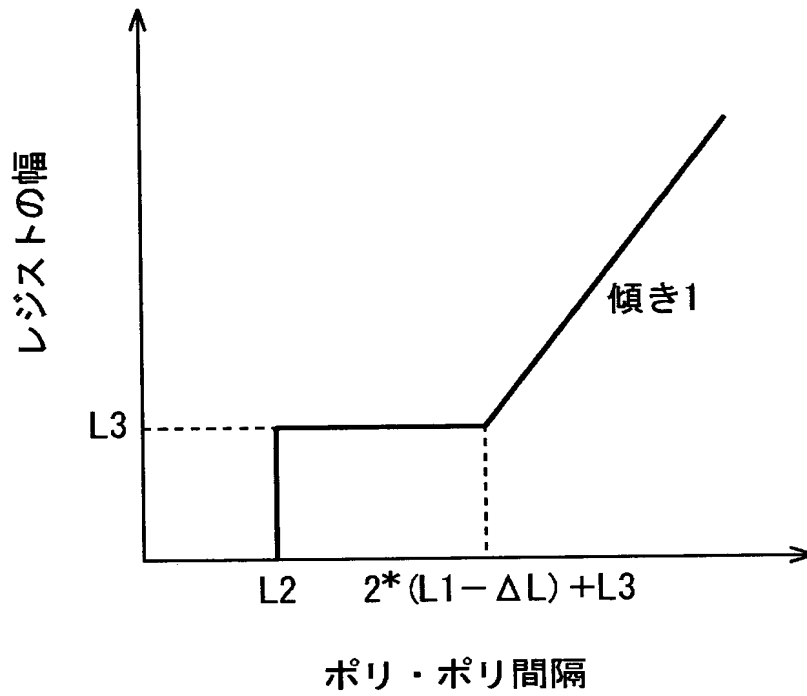
Rp1: 斜め注入の不純物を遮るのに十分なサイドウォールの長さ
Rp2: 斜め注入の不純物を遮るのに十分なレジストの長さ
ΔL: ゲート電極とレジストパターンの位置合わせ誤差
 $L1 = \min(L1', L1'')$

レジスト・ポリ間隔 = $L1 - \Delta L$

【図 36】

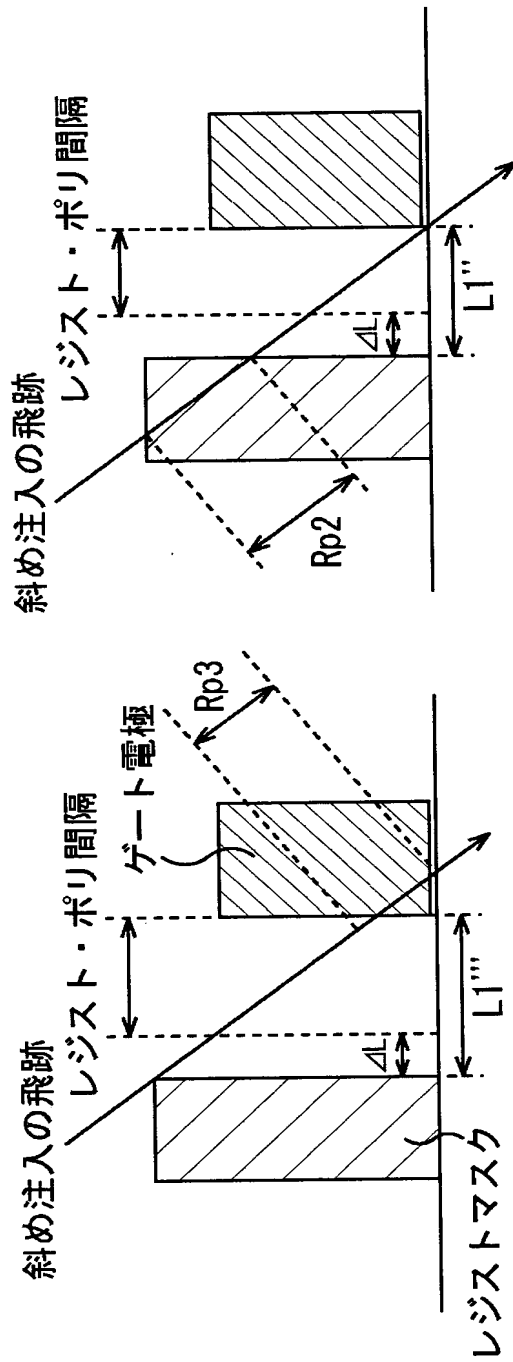


【図 3 7】



【図 38】

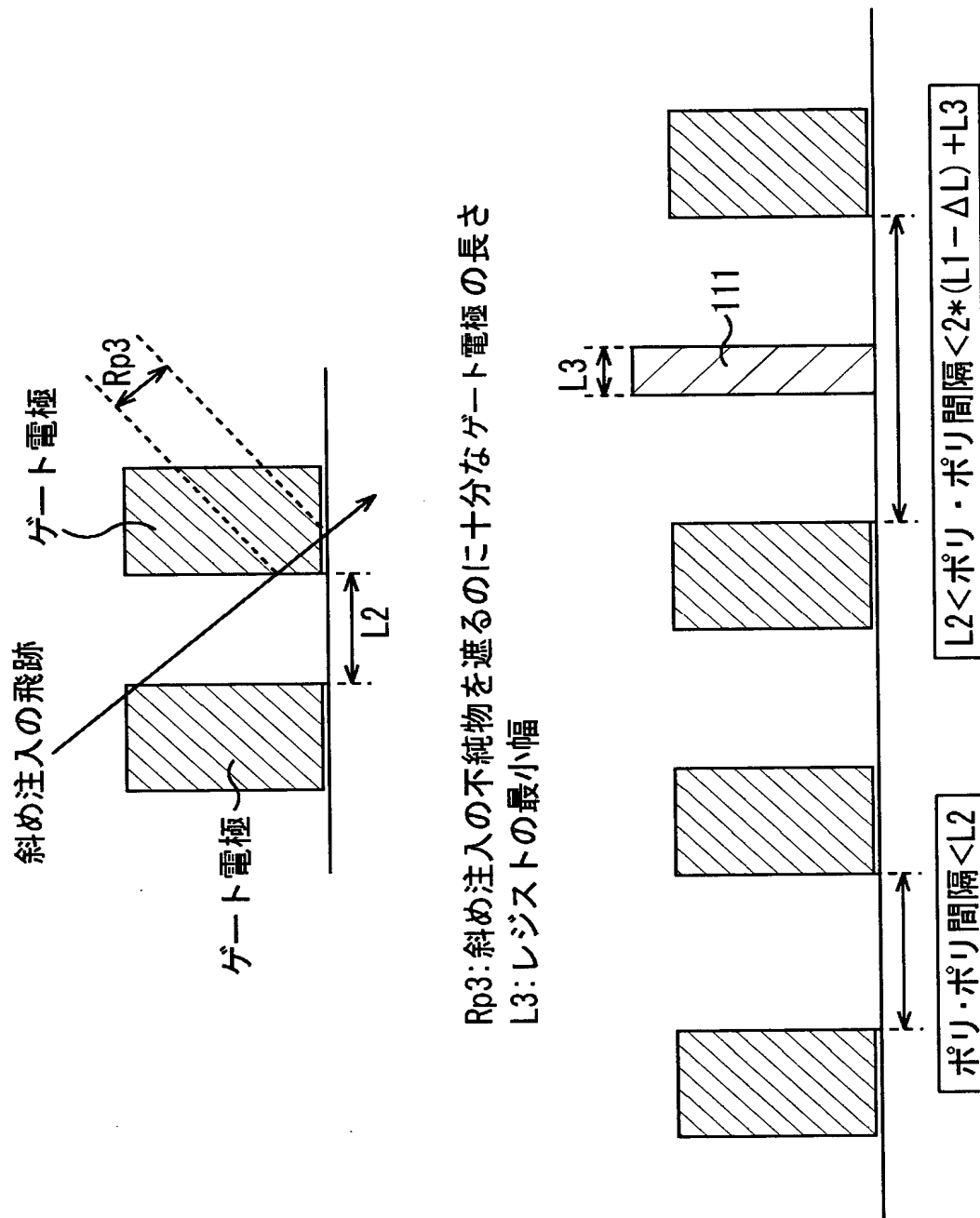
第6, 8の実施形態のレジストマスクのルール



$Rp2$: 斜め注入の不純物を遮るのに十分なレジストの長さ
 $Rp3$: 斜め注入の不純物を遮るのに十分なゲート電極の長さ
 ΔL : ゲート電極とレジストパターンの位置合わせ誤差
 $L1 = \min(L1'', L1''')$

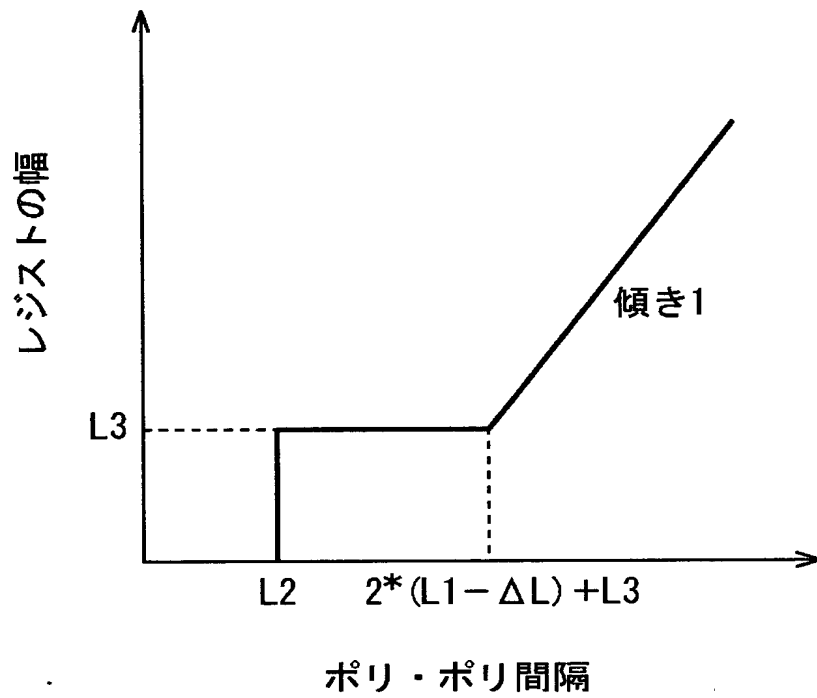
$$\text{レジスト・ポリ間隔} = L1 - \Delta L$$

【図 39】

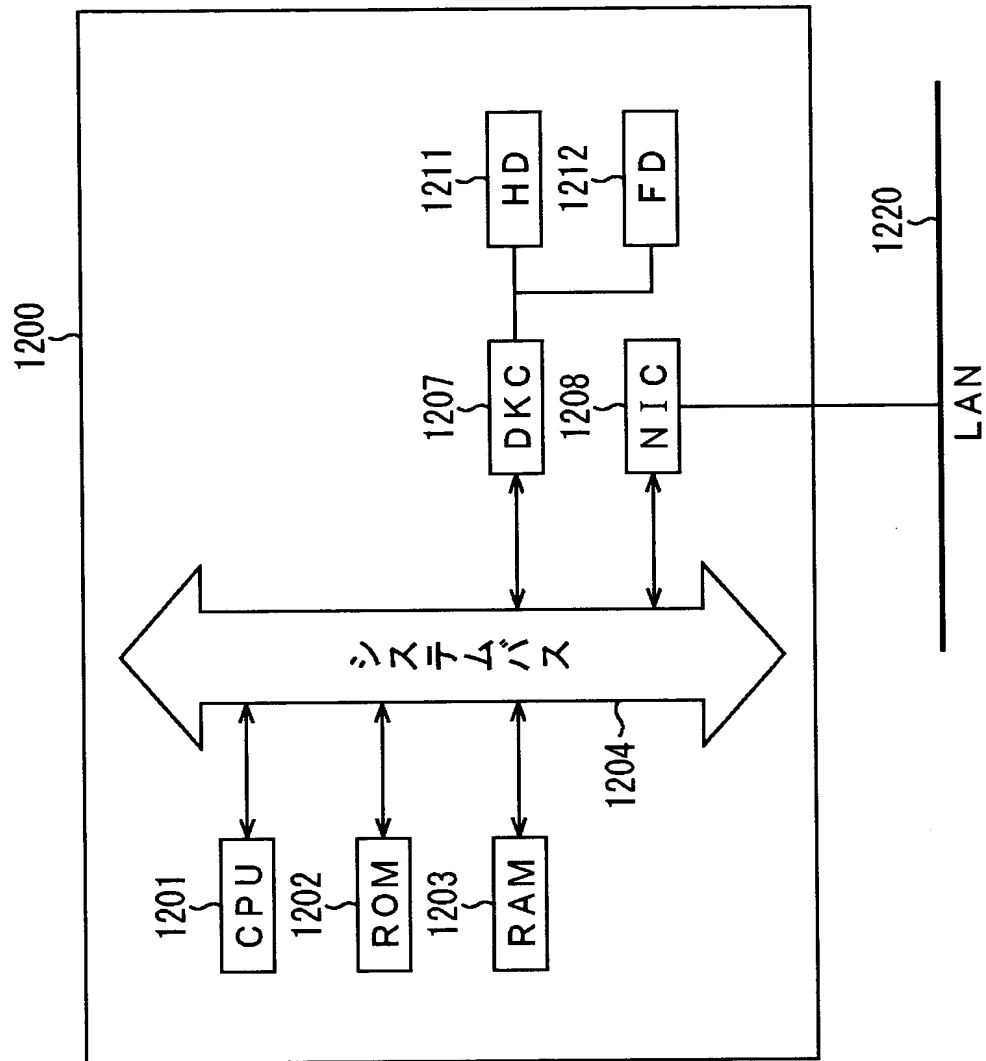


$Rp3$: 斜め注入の不純物を遮るのに十分なゲート電極の長さ
 $L3$: レジストの最小幅

【図 4 0】



【図 4 1】



【書類名】 要約書

【要約】

【課題】 ソース／ドレインの不純物濃度を増加させることなくゲート電極中の不純物濃度を高め、ゲート電極形状の変動に起因するしきい値電圧の変動等を懸念することなく、ゲート容量とともに短チャネル効果をも向上させる。

【解決手段】 オーバーエッチングされたサイドウォール 1 0 3 をマスクとし、ソース／ドレインと同一導電型の不純物を半導体基板 1 0 1 の表面に対して斜めに注入し、ゲート電極 1 0 2 の露出面に不純物を導入する。このとき、ゲート電極 1 0 2 には上面及び一側面の上位の双方に、不純物導入がなされ、S／D領域 1 0 4 にはその一方に 1 回分の不純物導入がなされ、他方には導入されないか、或いは若干導入されるものの、殆ど影響はない。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社